

BGA実装基板の不良箇所を特定する JTAGテストによる量産検査と不良解析の改善

アンドールシステムサポート(株) / 谷口 正純

1 はじめに

企業では製品の国際競争力を高めるため、製品の小型化と高性能化を目指し、様々な努力をしている。実装基板においては、小型化と高性能化を実現するため、1チップで高機能なArmプロセッサを利用したり、Armプロセッサを内蔵したFPGAを利用して1チップ化したりするケースが増えている。これらはすべてBGAチップが中心であり、さらなる小型化を目指して、狭ピッチのBGAが使われることも増えてきた。しかし、狭ピッチのBGAは実装の難易度が高く、実装不良が多発して問題となっている。

また、厳しい価格競争に打ち勝つためには、開発コストの削減、製造ラインの効率化と合わせて、検査と保守コストの削減が求められている。検査と保守のコストを削減するためには、製品の信頼性を向上しつつも検査タクトをいかに短縮するか、どのような検査装置を使って基板全体のテストを実現するかを考える必要がある。

今回は、JTAGテスト(バウンダリスキャンテスト)の仕組みと、他検査との複合テストによるカバレッジの補完と活用例を紹介する。

2 小型BGA基板検査の構成と検査

一般的な小型BGA実装基板の構成は、電源回路、アナログ回路、デジタル回路の3つのブロックに分けられる。電源回路は、外部電源を入力して、基板内で使用するための複数の電源を生成している。電源を生成するためのレギュレータICは、SOP(SOIC)、DIPパッケージの部品が多く、基板の中ではもっとも実装密度が低いブロックが電源回路となる。

アナログ回路では、センサ、モータ、音声などのアナログ信号の制御を行っている。使用している部品は、A/Dコンバータ、D/Aコンバータ、オペアンプ、トランジスタ、抵抗、コンデンサ、ダイオードなどが多い。BGA部品は比較的少なく、基板の中では中程度の実装密度のブロックがアナログ回路となる。

デジタル回路には、製品のプログラムを実行するためのプロセッサ、FPGA、DSPを中心として多ピンのBGA部品が使用されている。また、プログラム格納用のフラッシュメモリ、プログラム実行と画像処理用のDDRメモリから構成される。これらの外部メモリにもBGAパッケージの部品が多く使用されるため、基板の中ではもっとも実装密度が高いブロックがデジタル回路となる(図1)。

これらの回路をどのようにテストするかを考えると、電源回路とアナログ回路は実装密度が低い場合が多く、テストパッドを配置してプローブピンをコンタクトすることができるため、インサーキットテストで検査できる範囲となる。しかし、デジタル回路においては実装密度が非常に高く、BGA部品が中心となる。テストパッドを配置するスペースが無く、BGAは実装後にプロービングできないため、インサーキットテストではテストすることができない。そのため、JTAGテストが最も有効な検査手法となる(図2)。

また、外観検査(AOI)の検査範囲を考えると、電源回路とアナログ回路はBGA部品が無く、AOIでテストできる。しかし、デジタル回路の中心であるBGA部品のほとんどは接合面は外観では見ることができないため、AOIでは検査することができない。この範囲は、JTAGテストとX線検査でカバーする必要がある(図3)。

JTAGテストを行うためには、IEEE1149.1 バウンダリス

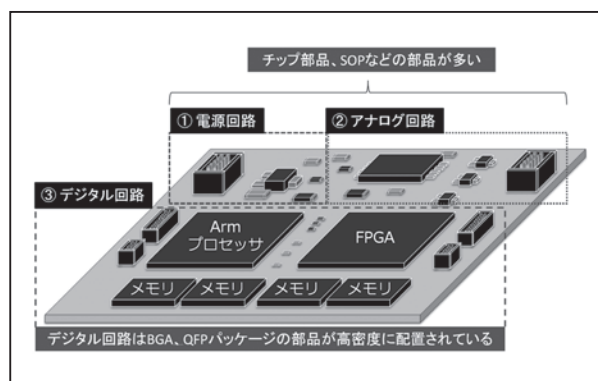


図1 一般的なBGA基板の構成

キャンに対応した部品が実装されている必要がある。以前はバウンダリスキャンに対応していない部品が多かったが、現在のBGA部品の多くはJTAGテストに対応している。デジタル回路の中心となるArmプロセッサ、FPGAなどのJTAG対応部品をパソコンから制御して、周辺回路のDDRメモリ、フラッシュメモリ、ロジック部品などと合わせてテストすることができる。

3 JTAGテストの仕組み

近年の小型BGA基板に対するプローブピンによるアクセスの問題を解決するため、1985年にJETAG(Joint European Test Action Group)という次世代の部品パッケージの検査方法を検討する団体が、ヨーロッパの先端企業を中心にはじまった。その後、1986年には米国の企業が加わり、JTAG(Joint Test Action Group)という団体名に変わり、1990年にはQFP/BGAパッケージの部品を含む高密度実装基板のテスト手法として「IEEE 1149.1」で規格化された。規格は2013年にアップデートされ、部品の真贋判定のためのECID(Electronic Chip ID)が追加されている。バウンダリスキャンテストは、団体名から「JTAGテスト」とも呼ばれている(図4)。

現在では多くのLSIメーカーがIEEE 1149.1に準拠したデバイスを数多く供給しているため、JTAGテストは一般的な

テスト手法の1つとなった。JTAGテストは、TAP(テストアクセスポート)である4本のJTAG信号(TDI(テスト・データ・インプット)、TDO(テスト・データ・アウトプット)、TCK(テスト・クロック)、TMS(テスト・モード・セレクト)から部品内部のバウンダリスキャン回路を制御する仕組みである。部品によっては、オプションでTRST(テスト・リセット)を含む5本の信号を使うこともある。JTAG対応部品には、バウンダリスキャン・セルというテスト用の信号を入出力させるための回路が内蔵されており、部品の端子をインサーキットテストのプローブピンのように利用して、通電試験ができる検査手法である。テスト中はJTAGテスト対応部品の内部ロジックが切り離され、パソコンからJTAGテストコントローラを介して、部品の端子をテストプローブとして自由に信号を入出力できる。そのため、ファンクションテストのようなソフトウェア開発は必要なく、マイコン用のテストプログラムの開発やFPGAのテスト用のロジック設計は不要となる(図5)。

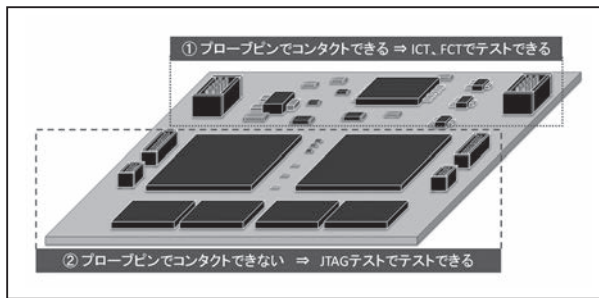


図2 ICT、FCT、JTAGテストの役割

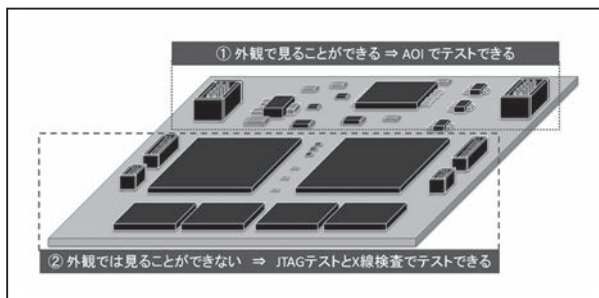


図3 AOI、X線、JTAGテストの役割

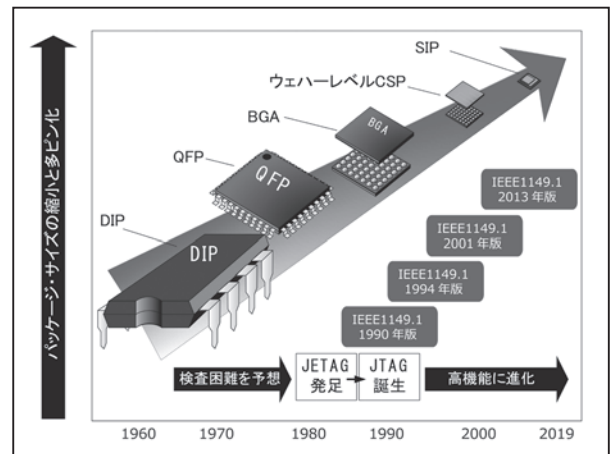


図4 JTAGテストの誕生と部品パッケージの進化

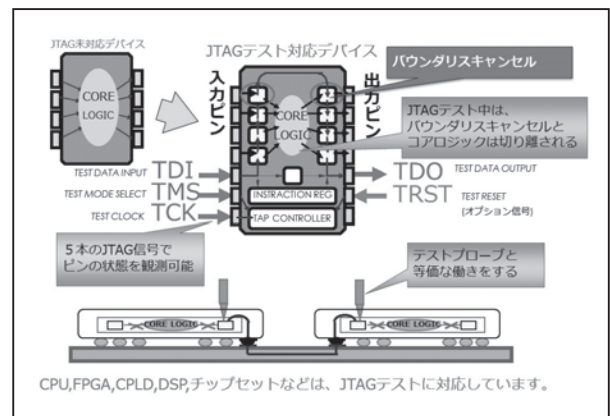


図5 JTAGテストの仕組み

FEATURE

検査の課題となっている「見えない / 触れない基板」は、JTAG対応のMCU、FPGA、DSPとDDRメモリの構成である。いずれの部品もBGAパッケージが標準となってきたが、JTAGテストを適用した場合には、JTAG対応のBGAデバイスの端子に内蔵されたバウンダリスキャンセルを内蔵プローブとして利用して、JTAGテストに非対応のDDRメモリに対してリード / ライトテストを行うことができる(図6)。

通電試験によりBGA部品の型番、実装方向、ボンディングワイヤのテストと実装基板のオープン、ブリッジ不良、パターン不良を検出することができるため、近年の実装基板に対する有効なテスト手法の1つとなる。

4 JTAGテストツールの進化

JTAGテストが誕生してから約15年間は、テストツールが成熟していなかった。テストパターンを準備するためには、ユーザーが検査対象の回路図を読み解きながら、テキストエディタを使用して手作業でテストパターンを作り込む必要があった。そのため、検査対象の基板の電気回路を回路設計者と同等に理解することが求められ、JTAGテストを導入した企業では、専任の技術者を育成する必要があった。そのため、導入した企業では多品種への展開ができずに、JTAGテストツールを有効活用することが困難であった。

しかし、この状況はJTAGテストツールの進化により一変した。JTAGテスト統合環境「JTAG ProVision」では、テストプログラムの作成が自動化されるようになり、誰でも簡単にJTAGテストパターンを生成できるようになったのである。

JTAGテストを生成するためには、基板を製造するために

使用するネットリスト(回路CADから生成される配線情報)、JTAG対応部品の内部のテスト回路情報が記載されているBSDLファイル(デバイスメーカーより提供、ダウンロードできるファイル)、JTAGテストに非対応の部品ライブラリ(JTAGテストツールが用意している部品ライブラリファイル)を使用する(図7)。

最新のJTAGテストツールでは、JTAGテスト対応部品間のテストであるインターコネクトテストの他に、25万種類を超えるJTAGテストに非対応部品のライブラリが用意されている。この部品ライブラリを利用して、DDRメモリ、周辺ロジック回路、フラッシュメモリなどのテストデータが自動生成できるようになった。飛躍的にテストカバレッジが拡大し、さらにテストデータの準備にかかる工数を大幅に削減できるようになった(図8)。

当社が公開しているJTAGテストのユーザー事例では、画像処理用の実装基板に適用した結果、JTAGテストのみで約85%のテストカバレッジが得られた。その理由は、JTAG対応部品をコントロールして、周辺の回路を動作させて期待値と照合したテストを行うことができるためである。JTAG ProVisionによる自動生成されるテストデータは、インフラストラクチャテスト、インターコネクトテスト、プルアップ・プルダウンテスト、コネクタテスト、クスタテスト、メモリテスト、フラッシュメモリテストなどがある。これらはすべてJTAGテストツールにより自動生成される(図9)。

JTAGテストを実行すると、通電試験により端子レベルで不具合箇所を特定することができる。不具合解析の結果は、オープン(はんだ未接合)、ショート(はんだブリッジ)、電源とショート、GNDとショートがテスト結果から自動的に診断される。基板を製造する際に使用するレイアウトCADデータと連

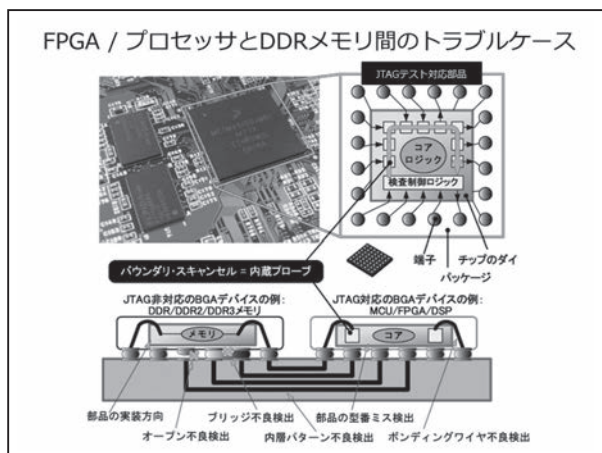


図6 JTAGテストによるBGA実装基板の不良検出

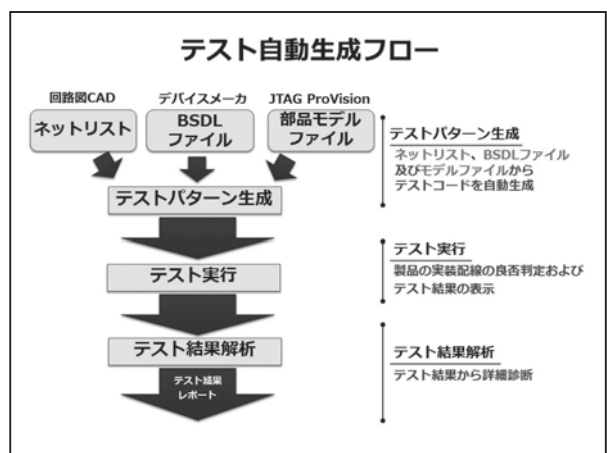


図7 JTAGテストパターンが自動生成される仕組み



図8 部品ライブラリの拡大

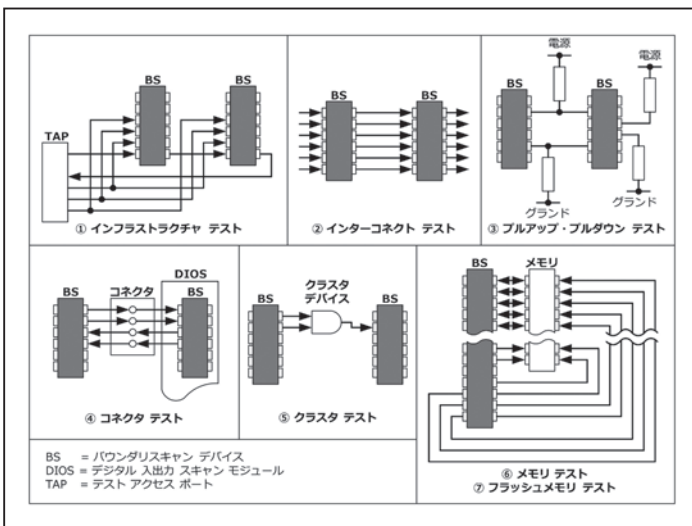


図9 自動生成されるJTAGテストカバレッジ

動して、基板上のどの場所にも不良があるか表示することもできる(図10)。

5 テスト容易化設計によるテストカバレッジの拡大

JTAGテストを導入して成功している企業では、JTAGテストを製造部門のみで運用するのではなく、開発部門へも展開している。JTAGテストを製品開発の上流に適用し、回路設計のレビュー段階でJTAGテストのカバレッジを評価して、テスト容易化設計「DFT(Design for Testability)」を実践している。

JTAGテストの効果を最も高めるには、回路設計の初期段階である部品選定からJTAGテストを考慮すると良い。部品選定後にBSDLファイルをデバイスメーカーのホームページよりダウンロードできれば、JTAGテスト対応部品と考えることができる。また、BSDLファイルには、JTAGテストで制御できる端子の情報とJTAGテストの注意点が記載されている。

回路設計直後に回路CADから出力されるネットリストから、JTAGテストツールでテストデータを自動生成できる。

Defect(s)	Net(s) or Pin	Board	Net	Device	Pin Type	Pin
Open pin	D200-22	jt2153_1	ADDRESS14	D200	BScan InOut	22
				D300	Addr	11
				D301	Addr	5
				D500	BScan InOut	91
				D600	BScan InOut	34

オープンやブリッジ等の不良の種類と部品番号、ピン番号が自動的に診断される

不良箇所が基板上のどこにあるかレイアウト図上で表示される

図10 JTAGテストツールの不良診断機能

6 CR-8000 Design Gateway との連携

JTAG ProVisionは、株式会社図研のシステムレベル設計環境「CR-8000」と連携することができる。回路CAD「Design Gateway」から出力されたネットリストを入力してテストデータを生成して、テストカバレッジが「Design Gateway」の回路図中に色分け表示できる。これまでDFTは難しいというイメージがあったが、テスト容易化設計（DFT）として部品選定や回路、ピンアサインを工夫することにより、テストカバレッジが拡大していくことを、回路図で直感的に把握することができるようになった。このDFTサイクルを多く回すほど、テストカバレッジを拡大して、製品の品質を向上することができる(図11)。

テストカバレッジが広がると、試作基板のデバッグ効率も改善でき、製造テスト用のテスト準備も効率化できるなど、製造部門のみではなく開発部門にとっても大きなメリットが得られる。

7 開発サイクルを短縮する

設計部門では、デバッグ期間を短縮して製品の開発サイクルを短縮していくことが求められている。しかし、開発段階のデバッグでは、物理的な製造不良も多く、設計上の不具合と切り分けることに、膨大な時間を浪費している場面をよく見かける。試作基板のデバッグ時には、バグの要因として、はんだショート、オープン、パターン不良のような製造不良と回路設

計ミス、ソフトウェアの不具合などが混同している。

試作段階では検査治具を作ることができず、十分な製造検査を行うことができない。そのため、不良検出や故障診断が難しく、問題切り分けのために特殊なファンクションテストプログラムが必要となってしまう。そのため、デバッグのためだけに開発者がプログラムを開発するなど、新製品を開発するためのリソースが浪費されている現状がある。JTAGテストは、この状況を大幅に改善できる。

JTAGテストを適用した場合には、開発段階では検査治具を作らずに、ケーブル接続でJTAGテストを実行して、試作基板上に基板のパターン不良、はんだ不良が無いことを確認できる。設計者は、回路設計が終わるとすぐにJTAGテストの検査環境を手間をかけずに短時間で準備できるため、試作基板のデバッグ前にテストを実施して、物理的な不良を取り除くことができる。したがって、製品実現化までの期間短縮に大いに貢献できる(図11)。

JTAGテストを導入して成功している企業では、試作基板の受入検査でJTAGテストを実施するルールを定めている。受入検査を通過した物理的な不具合が無い試作基板で、設計上の不具合を確認するデバッグに専念でき、無駄なデバッグ期間を削減できるため、開発サイクルを短縮することができる(図12)。

デバッグ期間が延びてしまうと、納期を守るためにテスト、検証が犠牲になってしまい品質保証のための時間が十分に取れないケースがあるが、JTAGテストの適用により、デバッグ期間を短縮することで、製品のテストと検証に十分な時間を取ることができ、製品の品質を向上することにも成功している。

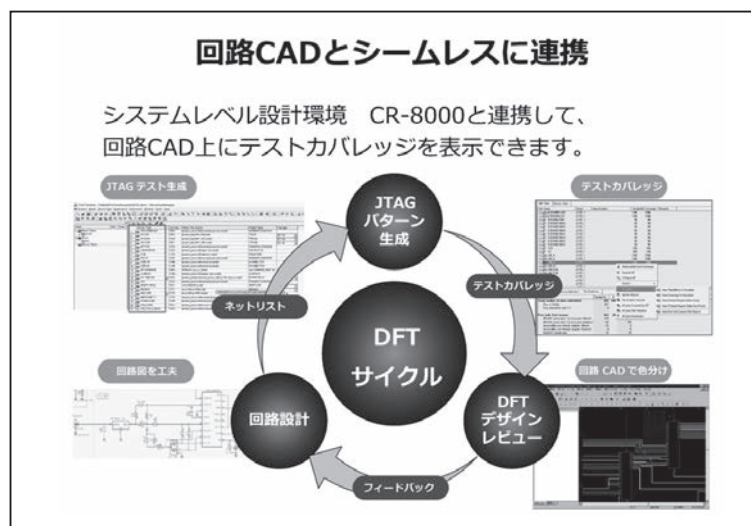


図11 回路CADとJTAGテストツールの連携

8 インサーキットテストとの複合テスト

長年にわたり多くの企業で使われてきた検査手法の1つに、インサーキットテストがある。インサーキットテストでは電氣的信号が被検査基板にドライブされ、その結果がピン治具のプロープピンより読み取られる。テスト対象の実装部品に対して、製造上の不具合を検出するためのテストベクタを用意することにより、部品レベルの故障診断が可能となる。このテスト手法は、DIPパッケージ部品とスルーホールがある非検査基板に対して非常に適していた。

現在の生産ラインでは、狭ピッチでピン数が多い部品(QFP、CSP、FCAなど)が増え、プロープピンによる被検査基板へのアクセスが困難になっているため、基板上にプロープ用のテストパッドの配置が必要となる。インサーキットテストのメリットとしては、部品の定数の診断ができることが挙げられる。しかし、BGAパッケージの部品は、部品実装後には物理的にプローピングできないため、テストパッドを十分に配置できない基板はテストカバレッジが著しく低下してしまうことが課題となっている。生産技術者の多くは、テストカバレッジが年々減少していることを実感しているのではないだろうか。

では、JTAGテストを実施してインサーキットテストを補完するとどうなるだろうか。プロープピンを当てることのできないBGA部品と高密度実装のデジタル回路はJTAGテストが有効なテスト手法となり、JTAGテスト規格IEEE1149.1では対応できないアナログ回路はインサーキットが有効となるため、それぞれの検査範囲を補完しあうことで最もテストカバレッジを拡大することができる。

また、テストパッドを削減できるメリットが得られるため、基板のノイズ耐性が向上し、プロープピン数を削減でき、直行率も改善することができる(表1)。

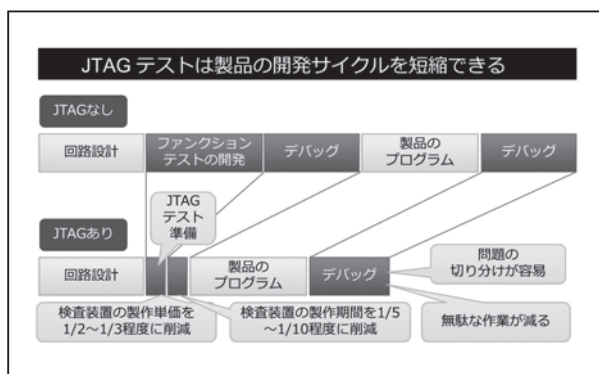


図12 JTAGテスト導入による開発サイクルの短縮

9 ファンクションテストとの複合テスト

ファンクションテストは、製品ごとに作る独自のテスト手法であり、今日でも多くの企業では、システム全体のファンクションテストを実施している。しかし、現在ではシステムが複雑になり、ファンクションテストのプログラム開発は大規模になってしまったことで、膨大な開発者のリソースを必要とするようになってしまった。製品のプログラム開発とは別に、テストのためのプログラム開発が必要になり、ソフトウェアエンジニアのリソースを圧迫している。また、検査範囲や合否判定基準はソフトウェア設計者に依存したものであり、多くの場合は機能レベルでの合否判定となるため、部品の端子レベルでは故障診断ができないことが課題として残る。

修理期日が決まっている製品であれば、故障解析・デバッグする時間が取れないまま、結果としては故障基板を積み上げることになる。多くの場合、最後には基板が廃棄されて、その問題は未解決のままになり、製造、設計へのフィードバックができないことになってしまう(表2)。

インサーキットテストの特長	
【テスト準備】 ・テスト開発が容易 ・基板上にテストパッドが必要 ・基板の種類毎にピン治具が必要	【メリット】 ・部品の定数を測定できる ・部品レベルで診断できる ・高速にテスト結果がわかる
インサーキットテストの課題とJTAGテストとの複合テストによる補完	
【テストの課題】 ・BGA部品をプローピングできない ・ピン数が増えると直行率が低下する ・テストパッドの配置が困難	【JTAGテストとの複合テスト】 ・BGAはJTAGテストで制御できる ・プロープピンを削減できる ・テストパッドの配置不要

表1 インサーキットテストの特徴とJTAGテストの補完

ファンクションテストの特長	
【テスト準備】 ・設計者によるプログラム開発 ・全ての回路の理解が必要 ・部品の制御方法を熟知が必要	【メリット】 ・複雑なシーケンスの検査ができる ・機能レベルでのテスト
ファンクションテストの課題とJTAGテストによる補完	
【テストの課題】 ・テスト開発規模の拡大 ・詳細故障診断ができない ・設計者のリソース不足	【JTAGテストとの複合テスト】 ・重複テストの開発規模の削減 ・故障箇所の自動診断 ・自動生成による開発工数削減

表2 ファンクションテストの特徴とJTAGテストによる補完

FEATURE

10 所有している検査設備に JTAGテスト機能を追加できる

一般的なプリント基板の量産製造ラインは、十分なテストカバレッジを保証するため、いくつかの検査手法の組み合わせによる補完テストを行っている。JTAGテストを導入している多くの工場では、すでに所有しているインサーキットテスタ、ファンクションテスタ、フライングリードテスタの装置にJTAGテスト機能を組み込んで使用している。したがって、現行の製造ラインの中で、テストの工程を新たに追加することなく、JTAGテストによりBGA搭載基板を含む高密度基板をテストできることになる(図13)。

11 X線検査との複合テスト

BGA搭載基板の検査でX線検査を実施している企業は多い。BGA基板の実装品質を保証には、3次元のX線検査が効果的である。しかし、3次元のX線CT検査はテストに長時間かかってしまい、全数検査は困難であることが課題となっている。そのため、価格競争が厳しい製品の生産ラインでは、検査コストを削減するために、量産基板の全数に対してX線検査は実施されていないことが多い。そこで、量産する製品の

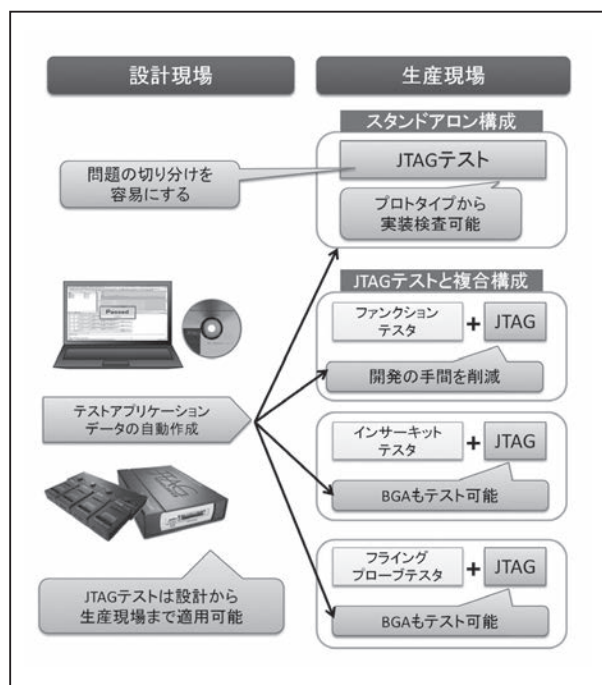


図13 検査装置の結合とメリット

品質を維持し、検査コストを削減するために、JTAGテストを組み合わせることでテストする企業が増えている。

JTAGテストは検査時間が短く、設備コストが安価であるため、量産時の全数検査に適用できるようになる。さらに、JTAGテストは通電試験であり、BGAはんだ不良、ボンディングワイヤの断線などの不良箇所を確実に検出することができる。JTAGテストを導入している企業では、JTAGテストを使い故障箇所を特定した上で、不良基板をX線CT検査で故障解析を行うケースが多い。このように、量産時の検査コスト削減と製品の品質を向上することができる(表3)。

12 BGA接合不良の解析

BGA搭載基板の検査において、「BGA接合不良」がもっとも大きな課題となっているのではないだろうか。JTAGテストではBGAの端子レベルで不良箇所を特定できるため、製造ロット毎にBGAピン配列と不良発生頻度をグラフ化すると、どの端子で不良発生率が高いか統計データから把握できる。このデータを元に製造ラインにフィードバックすることで、製造不良の発生率を抑えることができるのである(図14)。

さらに統計データの結果から、はんだ不良が多発するBGA端子に対しては、疑似接触が疑われるため、製造検査時に3次元X線検査と組み合わせてテストすることが有効な手段となる。通電試験であるJTAGテストと3次元X線検査を組み合わせることにより、BGAオープン、ブリッジ不良の検出のみではなく、BGAのはんだ状態を確認して「不良基板を作らない」ための製造工程へのフィードバックも実現することができる。

このようにJTAGテストは、JTAGテスト単体でも効果的な検査手法であるが、様々な検査手法と組み合わせても効果を発揮する。将来のさらなる高密度化した実装基板の検査手法として、有効な検査手法の1つとして期待される。

X線検査の特長	
【テスト準備】 ・検査技術者のスキルが要求される	【メリット】 ・ハンダの溶融状態を観測できる ・ポイドの有無を観測できる
X線検査が抱える課題	
【テストの課題】 ・BGAのオープン不良特定が困難 ・高解像度にするとう検査時間がかかる ・検査員が合否判定する必要がある	【JTAGテストとの複合テスト】 ・BGAオープン箇所を特定できる ・短時間でテストできる ・通電試験により自動診断できる

表3 X線検査の特徴とJTAGテストによる補完

従来のプローブピンを使用したテスト手法とJTAGテストについて、表面実装部品の割合とテストカバレッジ相関関係をまとめた(図15)。JTAGテストは表面実装、BGAパッケージの部品が増えるほどテストカバレッジが広がっていくが、従来のテストのテストカバレッジは狭くなっていく。反対に従来のテスト手法では、表面実装、BGAパッケージの部品が増えるほどテストカバレッジが狭くなっていくことが分かる。

実装基板上にはJTAGテストに対応しているBGAパッケージなどのデジタル回路とJTAGテストではテストできないアナログ回路が組み合わさっているため、テストカバレッジの割合

を最も増やすためには、プローブピンを使った従来のテストとJTAGテストを結合したテストが最も有効なテスト手法であることが分かる。JTAGテストは4本の信号と数本のGNDを検査対象の基板にコンタクトすることで、ファンクションテスタ、インサーキットテスタなどの検査装置に容易に組み込むことができる。このように、JTAGテストは様々な検査機と組み合わせることで検査内容を補完することができ、小型BGA基板に最も適したテスト手法として導入する企業が増えている。当社のホームページでは、国内の導入企業事例やJTAG技術レポートなど様々な技術情報を公開しているので参考にして欲しい。

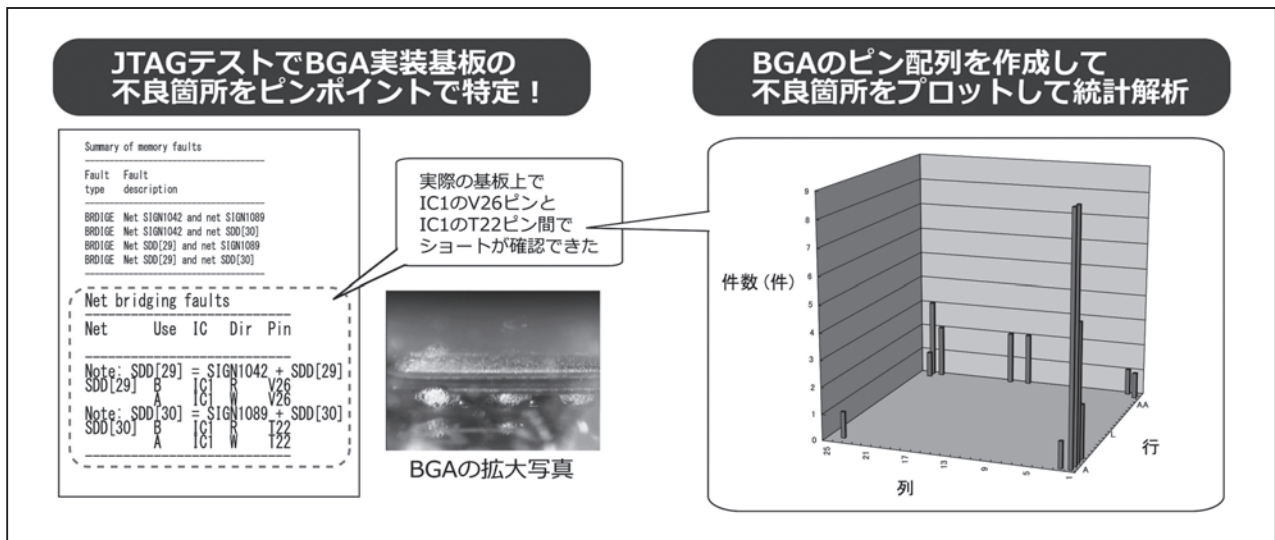


図14 JTAGテストによるBGA不良発生の統計データ

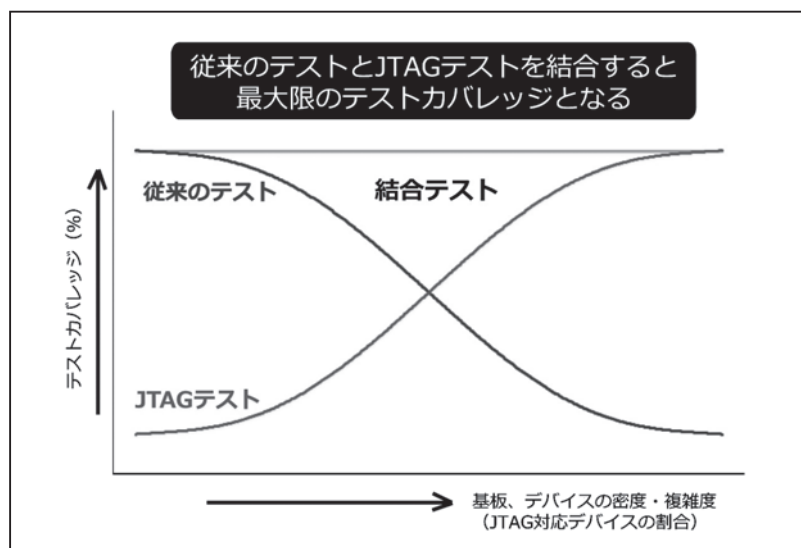


図15 従来のテストとJTAGテストの結合