

トレンドを探る

HALTとJTAGテストを結合した BGA実装基板の品質保証のための新たな取り組み

アンドールシステムサポート(株) / 谷口 正純、エスペック(株) / 今堀 翔也

1. はじめに

電子機器の小型化と高性能化が進んでいることは、多くの方が実感されているのではないだろうか。実装技術が進化することにより、電子部品も小型のパッケージが増え、基板のサイズも年々小さくなっている。

電子部品では、FPGA、プロセッサ、メモリなどの基板を構成する主要部品の小型化でBGA部品が一般的に使われるようになった。

BGA部品のパッケージは、ボール間のピッチが1.27mmから1.0mm、0.8mm、0.5mmと年々狭くなり、さまざまな業界の製品で使われているFPGAの部品パッケージを調べたところ、図1のように小型製品向けの狭ピッチの部品パッケージが用意されていた。

従来、BGAパッケージ部品の実装は、ほとんど不良が少ないといわれていたが、これは過去の話だったようである。実は、この数年間で不良基板が増え、お問い合わせいただく件数が増えている。JTAGテストを活用して、お客様の故障解析をサポートする中で気付いたことは、0.5mmピッチの狭ピッチBGAを使い始めると、極端に実装不良が増えることである。トラブルの症状はさまざまだが、試作基板だけではなく、量産

基板でもBGAの実装トラブルが起こっており、深刻な状況になっている。

JTAGテストは、BGA実装基板のテストの課題を解決するため、多くの国内企業や海外企業が製造現場で活用している。これまで当社では、10社を超えるお客様にご協力いただき、JTAGテスト導入事例を発表してきたが、製造検査、製品の保守、故障解析が中心であった。

今回は、品質保証と製品の信頼性向上に焦点を当て、HALT試験装置とJTAGテストの概要、エスペック(株)の環境試験器とJTAGテストを複合した信頼性評価の事例を紹介する。皆さまの製品に使われているBGAパッケージ部品の信性を向上するための新たな取り組みを紹介する。

2. エスペック(株)の紹介

エスペック(株)(図2)は、温度や湿度、圧力などさまざまな環境因子を人工的に再現する「環境試験器」を製造・販売しているメーカーであり、この分野における世界トップ企業である。

私たちの生活を支える電子機器や工業製品は、周囲の環境からさまざまな影響を受けている。例えば、温度や湿度、圧



図1 FPGA 部品 パッケージの小型化



図2 エスペック(株) 本社(大阪市北区)

力、光、振動、さらには電磁波など、周囲の環境を人工的に再現し、環境因子が製品に及ぼす影響を分析・評価することで、その耐久性や信頼性を確認する試験が「環境試験」であり、自動車やスマートフォンなどあらゆる工業製品の開発や品質評価において、環境試験器が用いられている。

今回の紹介する取り組みでは、Qualmark 社製(現-ESPEC NORTH AMERICA)のHALT 試験装置を使用した。

Qualmark 社は2015年にエスペックグループに加わり、2018年にESPEC NORTH AMERICAと合併した。日本国内における製品に関するお問い合わせ、サポートはエスペック(株)が行っている。

3. HALTとは

HALT (Highly Accelerated Limit Test) は、製品化プロセスの初期段階である開発と設計において、短期間で製品の弱点を検出するための試験システムである。1980年代に米国で発案され、欧米を中心に航空機、自動車、電気製品部品の信頼性評価に採用されている。近年、HALTによる信頼性評価は欧米企業のみならずアジアにも拡大してきており、今後日本でも拡大していくことが予測されている。

HALT 試験装置は、図3のように用途に合わせて、さまざまな製品が用意されている (<https://www.espec.co.jp/products/qualmark/products.html>)。

HALTは、製品の信頼性予測(寿命予測)を行うものではなく、製品仕様を超える「強いストレス」を製品に与え、製品の稼働限界と破壊限界を見つけるものである。図4のように、製品の弱点を短期間で検出し、改善改良を繰り返すことで製品の信頼性を向上させることができる。

「強いストレス」とは急速温度変化による温度ストレスと6自由度振動による振動ストレスであり、それらのストレス試験

を組み合わせた5つのステップ(①低温ステップ試験、②高温ステップ試験、③温度急変サイクル試験、④振動ステップ試験、⑤温度急変と振動の複合試験)で構成されている。

4. BGA はんだ接合部の信頼性評価の課題

電子機器の小型化と高性能化に伴い、BGAパッケージ部品の小型化が進んでいる。製品基板の検査は、不良品の市場流出を防ぐことと製品寿命を担保するための品質保証が重要となっている。BGA 部品において、はんだ接合部の信頼性評価試験が行われ、製品の品質保証が行われている。

従来はデジチェーン接続と呼ばれる配線設計された評価専用のBGA 部品をメーカーから入手して、評価専用の基板を用意する必要があった。

図5に示すデジチェーンの場合には、BGAのはんだ接合部を複数連続して繋ぎ、4チャンネルあるデジチェーンの抵抗値を測定することにより、抵抗値の変化でBGAのはんだ接合状態を確認することができる。

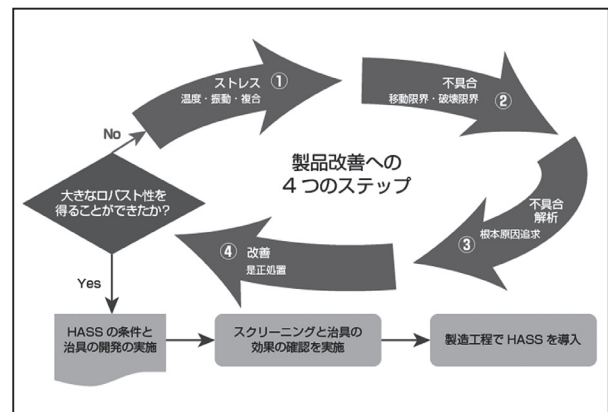


図4 製品改善への4つのステップ

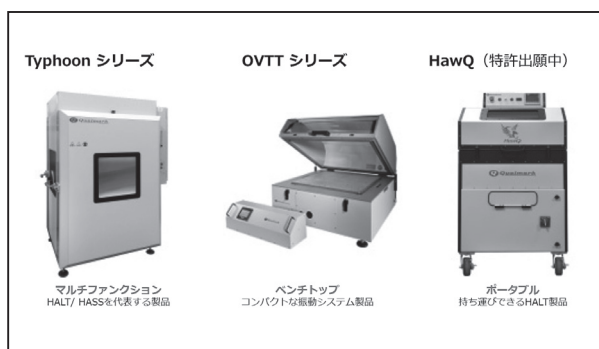


図3 HALT 試験装置(Qualmark 社ホームページより) <https://www.espec.co.jp/products/qualmark/products.html>

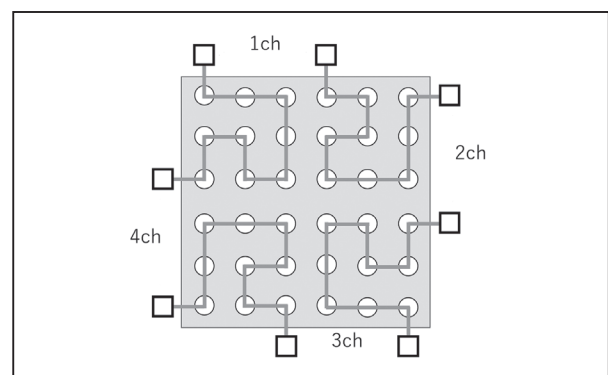


図5 BGA 部品のデジチェーン

しかし、はんだ接合部をピンポイントで観察することができず、はんだ不良の箇所を特定するためには、断面観察等が必要となり時間を要することが課題となっていた。

また、実際の製品基板は、製品用の配線になっているため、デジチェーン接続のBGA部品を実装して評価することができないため、BGAのはんだ接合部の信頼性評価を製品基板で実施する手法がなかった。

そこでJTAGテスト(バウンダリスキャン)を使い、製品基板を使って信頼性評価を行うことにした。改めて、JTAGテストの仕組みを紹介する。

5. JTAGテストとは

BGA実装基板に対して、テストのためにプローブピンではアクセスできない課題を解決するため、1980年代に次世代の検査方法を検討する団体「JTAG (Joint Test Action Group)」が発足した。1990年に高密度実装基板のテスト手法として、バウンダリスキャンテスト(JTAGテスト)が「IEEE 1149.1」として規格化された。現在ではIEEE 1149.1に準拠したCPUやFPGA、PLDが広く普及したため、JTAGテストは一般的なテスト方法の1つとなった。

JTAGテストは図6に示すように、4本のJTAG信号(TDI(テストデータ・インプット)、TDO(テストデータ・アウトプット)、TCK(テストクロック)、TMS(テストモード・セレクト)から部品内部のバウンダリスキャン回路を制御する仕組みである。部品によっては、オプションでTRST(テストリセット)を含む5本の信号を使うこともある。

この4本の信号から、JTAG対応のBGA部品の端子に内蔵されたバウンダリスキャンセルをバーチャルプローブとして利用して、JTAG対応部品間の配線テストとJTAGテストに非対応のDDRメモリに対してリード・ライトテストを行うことが

できる。JTAGテストは通電試験によりBGA部品の型番、実装方向、ボンディングワイヤのテストと実装基板のオープン、ブリッジ不良、パターン不良を検出することができるため、近年の実装基板に対する有効なテスト手法の1つとなっている。

JTAGテストを行うためには、JTAGテスト用のアプリケーションを作成する必要がある。JTAG Technologies社の『JTAG ProVision』ではテストプログラムの作成が自動化されるようになり、誰でも簡単にJTAGテストアプリケーションを生成できるようになった。JTAGテスト用のデータを生成するためには、基板を製造するために使用するネットリスト(回路CADから生成される配線情報)、JTAG対応部品の内部のテスト回路情報が記載されているBSDLファイル(部品メーカーより提供されるファイル)、JTAGテストに非対応の周辺部品ライブラリ(JTAGテストツールのライブラリ)を使用する。

自動生成したJTAGテストアプリケーションでは、図7のようにJTAGテスト対応部品間のテストであるインターコネクトテストの他に、28万種類を超えるJTAGテストに非対応部品のライブラリが用意されている。この部品ライブラリを利用して、DDRメモリ、ロジック回路、フラッシュメモリ用のテストアプリケーションが自動生成される。

そのため、飛躍的にテストカバレッジは拡大し、ファンクションテスト開発と比較するとテストデータ作成にかかる工数を大幅に削減できるようになった。当社が公開しているJTAGテストのユーザー事例では、画像処理用の実装基板に適用した結果、JTAGテストのみで約85%のテストカバレッジが得られた例もある。

今回、HALT試験装置とJTAGテストを結合して評価するために、ザイリンクス社のFPGA(BGA 196ピン)を実装した基板をターゲットとした。FPGAのピン配置とバウンダリスキャンセル(バーチャルプローブ)が内蔵されているピンを

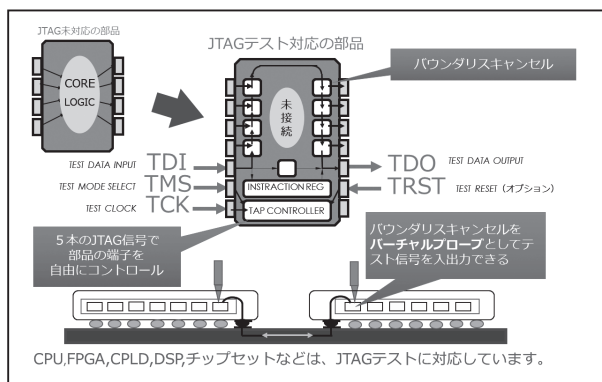


図6 JTAGテストの仕組み

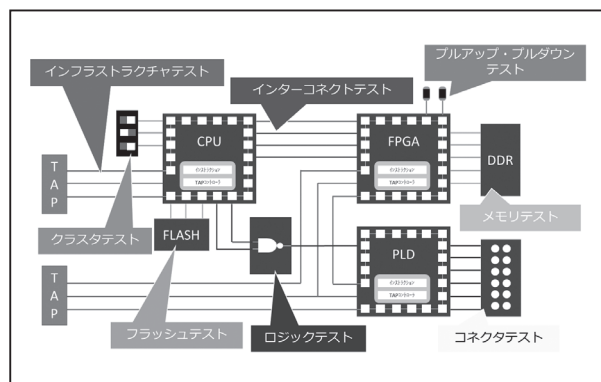


図7 JTAGテストツールによる範囲の拡大

図8に示した。FPGAの場合には、黒丸のIOピンはすべてバウンダリスキャンセルが内蔵されているため、製品の周辺回路を制御してテストすることができる。白丸のピンは、電源、GNDであるが、バウンダリスキャンセルは内蔵されていないが、JTAGテストは、ファンクションテストと同様に、電源が正しく投入されていないと機能しないため、JTAGテストが実行できれば電源とGNDが正しく投入されていることが分かる。

6. HALT 試験装置とJTAGテストの結合テスト

今回、JTAGテストシステム『JTAG ProVision』と結合したHALT試験装置『Typhoonシリーズ』は、HALT試験装置

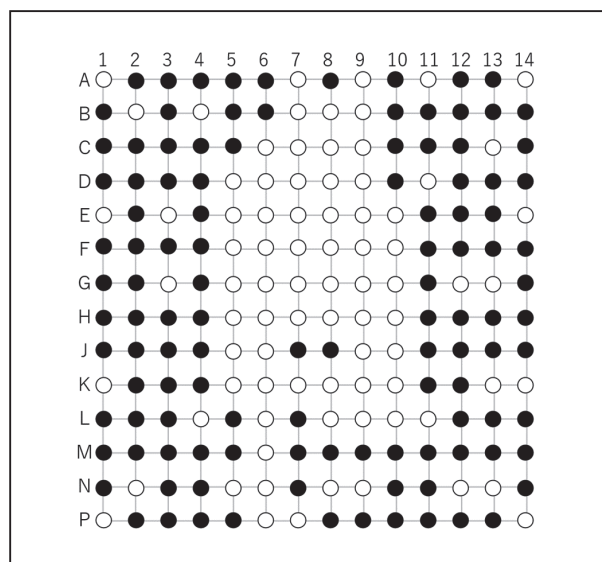


図8 FPGA内のバウンダリスキャンセル
 (●：バウンダリスキャンセル内蔵のIOピン
 ○：非内蔵の電源、GNDピン)



図9 JTAGテストとHALT/HASS試験装置

の代表的な製品で、製品開発プロセスの初期段階でHALTを実施することで、製品の信頼性を高めることができる(図9)。またHASS (Highly Accelerated Stress Screen)にも対応しており、HALTで得られた限界試験データを元に、量産品の製造工程での変化やばらつき、潜在的な不具合がないかを監視するためのスクリーニングをすることができる。お客様の製品サイズや数量、重量に合わせた試験機があり、テーブルサイズは457×457mm～2540×1219mm、テーブル最大積載重量は36～544kgまで対応している。最大加速度75Grmsの6自由度振動と-100～250℃の広温度範囲、70～100℃/minの急速な温度変化を実現できる。また、効率的な気流特性とテーブル位置を変更できる構造で、液体窒素や電力コストを削減することができる。

今回は、ザイリンクス社のFPGA (BGAパッケージ、196ピン)を搭載した基板で信頼性評価を行った。HALT試験装置への基板固定方法は、図10のようにアルミフレームに4隅で固定した。HALTでは、基本的に治具設計基準として加速度については、テーブル制御加速度≦試料加速度という基準で設計をする。試料加速度の確認のため、FPGA付近のZ軸方向の加速度を測定したところ、図11のような相関関係を確認できた。短時間で信頼性評価を行うために、HALT試験装置の加速度を70 [Grms]に設定し、FPGA付近の加速度を120 [Grms]として試験を行うことにした。

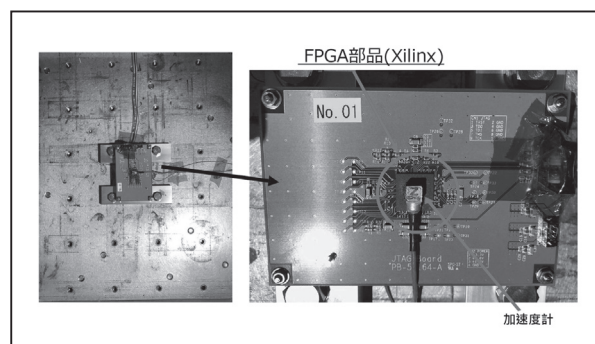


図10 HALT試験装置への基板固定方法

HALT試験器 Z軸方向の加速度 [Grms]	FPGA付近 Z軸方向の加速度 [Grms]	増加率 [倍]
10	16	1.6
20	32	1.6
30	50	1.7
40	67	1.7
50	87	1.7
60	104	1.7
70	120	1.7

図11 FPGA付近の加速度

試験条件は、温度条件を設定せずに常温とし、HALT 振動試験の合計時間は 100 分、HALT 試験装置の加速度を 70 [Grms] と設定し、5 分間実行と 1～2 分間停止を 20 回繰り返した。

JTAG テストのサンプリング時間は 30 秒として、HALT 振動試験を行っている 100 分間連続実行して、FPGA のピンをバーチャルプローブとして BGA 部品のはんだ接合状態をスキャンした。

7. HALT 試験の結果 (スタティック状態)

HALT 振動試験を 5 分間実行と 1～2 分間停止を繰り返し行い、振動を停止した状態 (スタティック状態) で JTAG テストを行った結果を図 12 に示す。

図中の白丸は、BGA のピン配列を示していて、A1 ピンから P14 ピンまでの 196 ピンの BGA パッケージのはんだ信頼性試験を行った。今回は、50 分経過後から 10 分間隔の試験結果を紹介する。

開始から 50 分経過したところで、左上の B1 ピンでオープン不良が検出され、60 分を経過したあたりから右上の A12 ピン、B14 ピンのオープン不良が現れた。90 分が経過すると、左下の M1 ピンと P4 ピンにオープン不良が現れるようになった。

BGA 部品に振動を与えて、振動を止めた状態で JTAG テストにより電気試験を行っている。そのため、振動が止まったタイミングで BGA のボールと基板のパッドが浮いたときに不良が検出され、はんだが剥離してもボールと基板が接触しているときには、不良が検出されていないことがわかる。

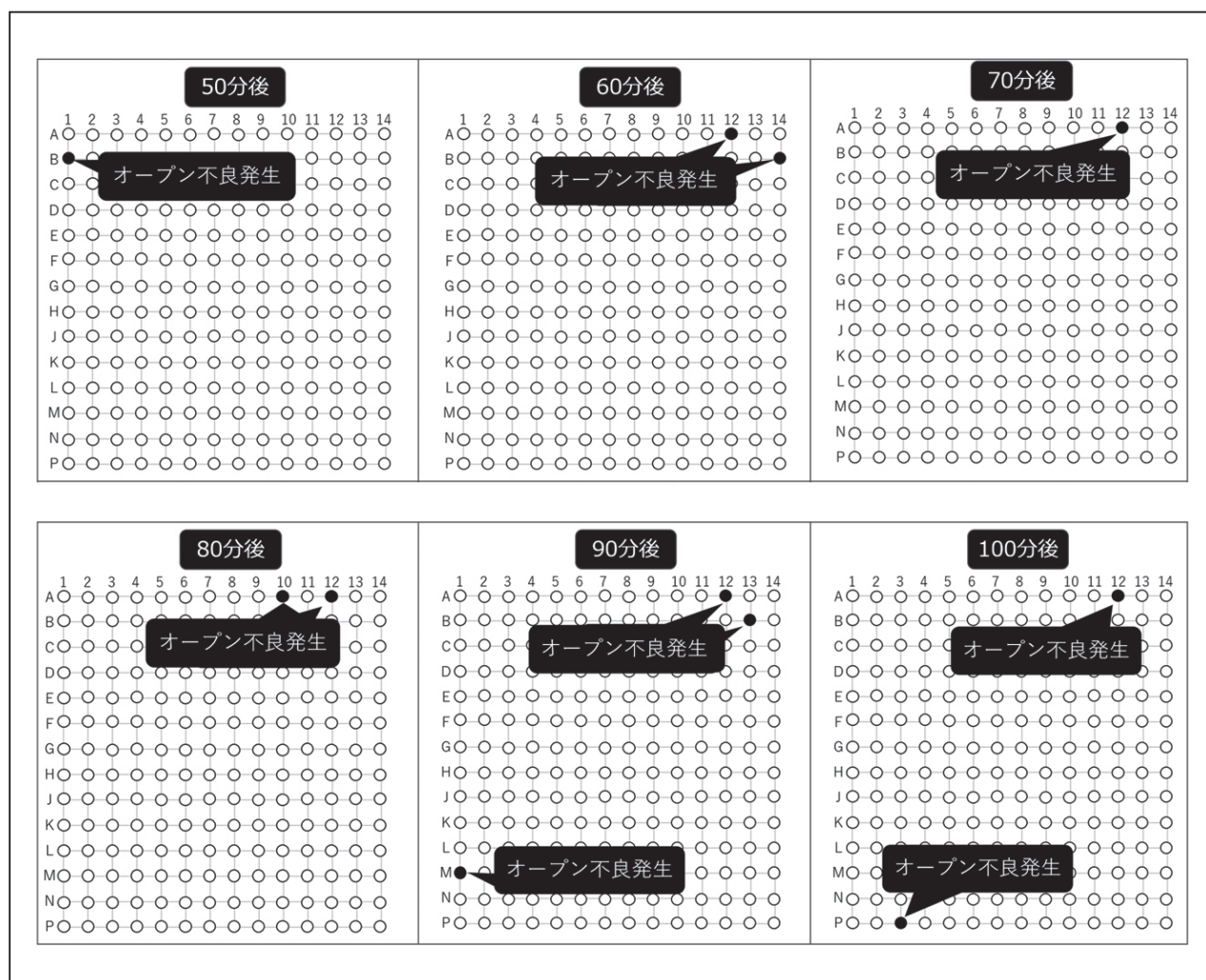


図 12 HALT 試験の結果 (Static 状態)

8. HALT試験の結果 (ダイナミック状態)

HALT振動試験を5分間実行と1～2分間停止を繰り返し行い、スタティック状態と同様にダイナミック状態(振動中)においても、JTAGテストでBGAはんだ状態を測定した。スタティック状態とダイナミック状態を比較すると、図13のようにHALT振動試験の結果に差異を確認した。

図中の黒丸の箇所は、試験全体の中で各状態において、1回以上オープン不良を検知した箇所である。ダイナミック状態で検出したオープン不良が12か所に対して、スタティック状態で検出したオープン不良は8か所となった。

この結果から、ダイナミック状態でテストを行うと、振動の影響で瞬間的にオープンした場合でも不良箇所として特定できるため、検出精度が高くなることがわかる。

ダイナミック状態とスタティック状態を含めたHALT振動試験全体での、時間経過に伴う不良検出数を図14に示す。

HALT振動による影響で時間が経過するとBGAのボールが正常状態から半断線、断線と状態が変わっていく。振動の影響によってサンプリングしたタイミングでBGAのボールと基板が接触しているか、接触していないかにより合否判定が変わるため、オープン不良箇所の検出数が上下に振れているが、時間が経過するにつれ、オープン不良が増えていることがわかる。

9. 断面観察の結果

JTAGテストで特定したBGAのオープン不良箇所が、どのようなクラック状態であるか確認するため、図15の通り断面観察を行った。

A12ピンの断面観察結果より、JTAGテストで特定したボールの上面に、完全にクラックが発生していることが確認できた。

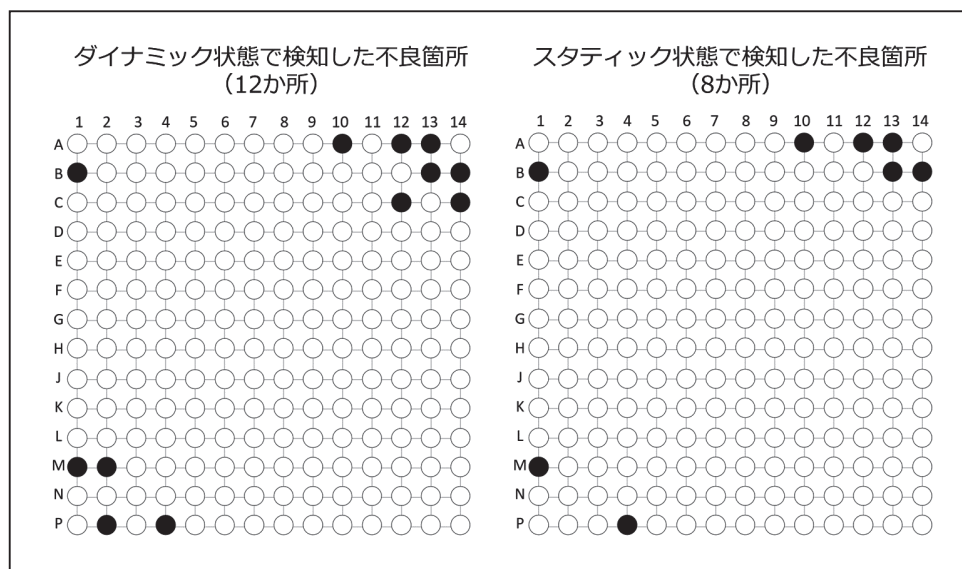


図13 ダイナミック状態とスタティック状態の不良検知箇所

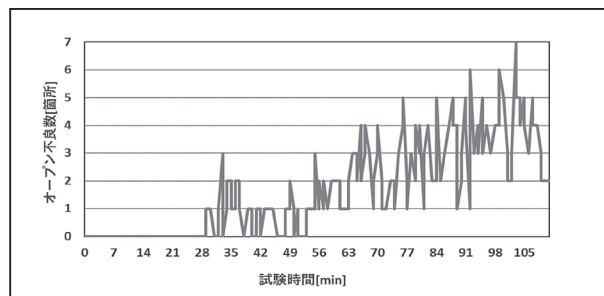


図14 試験時のJTAGテストによるオープン不良数の推移

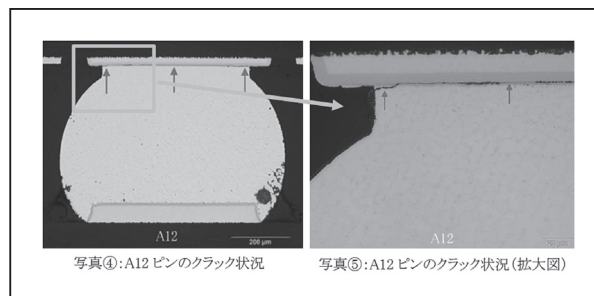


図15 BGAの断面観察結果

JTAGテストにより検知した不良箇所を検証するため、断面観察した結果を図16に示す。

断面観察で完全にクラックが発生している箇所に対して、30秒間隔でサンプリングしたJTAGテスト(図10)による検出率は88%であることが分かった。

この検出率は、サンプリング間隔を短くすることにより向上すると考えられる。したがって、JTAGテストとHALT試験装置を組み合わせて使用することにより、製品基板に対してリアルタイムでBGAはんだの剥離状態をモニタリングできることが分かる。

10. まとめ

今回紹介したHALT試験装置とJTAGテストの組み合わせによる信頼性評価方法は、ダイナミック状態でJTAGテストを行うことにより、スタティック状態では検知できないオープン不良箇所を検知できることが分かった。

断面解析と比較しても30秒サンプリングで検出率は88%と高く、リアルタイムでBGAのオープン不良箇所をモニタリングすることができた。

HALT試験装置とJTAGテストを組み合わせた大きなメリットとしては、製品基板のBGAパッケージを試験対象にすることができ、また試験時間が2時間未満と非常に短時間で信頼性を評価できることである。

HALT試験が終わると、故障箇所を特定できているため、断面解析箇所を最小限に抑え、分析コストの削減と分析期間の

短縮もメリットとなる。分析結果は、プリント基板のレイアウト設計、はんだ材料、はんだの温度プロファイルなどにフィードバックすることにより、製品の信頼性向上と製品寿命を延ばすことができるようになる。

製品の信頼性向上に課題がある方は、お問い合わせいただきたい。

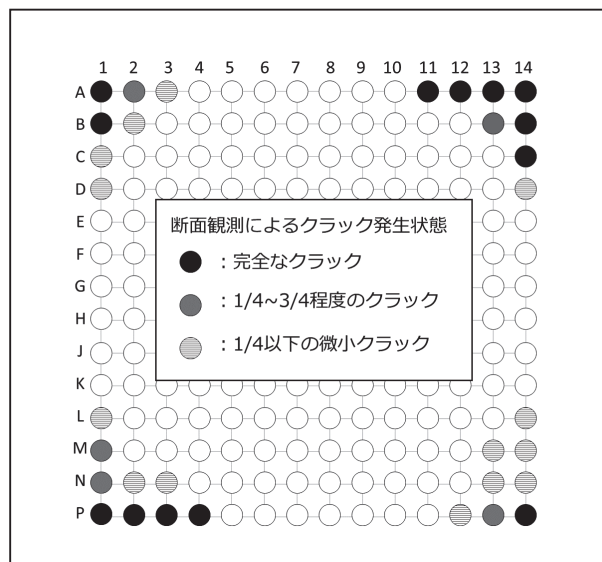


図16 断面観察とJTAGテストの比較結果