

JTAG システムレベル・テストの勧め～テスト範囲向上のための工夫～

まえがき

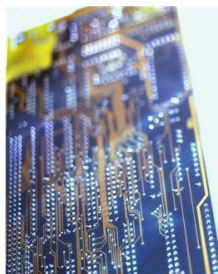
製品の品質を上げ、テストを容易にするための設計技術として、DFT(Design for Testability : テスト容易化設計)という言葉があります。DFT 手法としては、LSI のスキャン設計や自己診断(Built-In-Self-Test)などの言葉を良く耳にしますが、勿論 JTAG(バウンダリスキャン)テストも DFT のひとつです。

今回は、この DFT について、JTAG のシステムレベル・テストをテーマに書いてみたいと思います。

なぜ、システムレベル・テストが必要か？

皆さんが開発するシステムには、バックプレーン(Backplane)ボードなどに複数種類の基板が接続されるようなケースや、マザーボードにいくつかのドーター・ボードが接続されるようなケースなど、共通バスを使用したシステム構成が多くあるのではないかと思います。

このようなシステムでは、ボードを単体でテストする他に、全ての基板を含めてシステム的に JTAG テストを行うことで、テストカバレッジを上げることが可能です。



特に、PCI、PCI EXPRESS、Compact PCI、PMC、PICMG 等の PC バスには、TAP 信号(Test Access Port; JTAG の制御信号)が標準で搭載されていますので、これを使わない手はありません。

システムレベル・テストの悪い例

では、バックプレーン・ボードに複数種類の基板を接続して JTAG テストすることを考えた場合、単純に図 1 のような接続をすれば良いのでしょうか？

残念ながら、これは悪い例です。

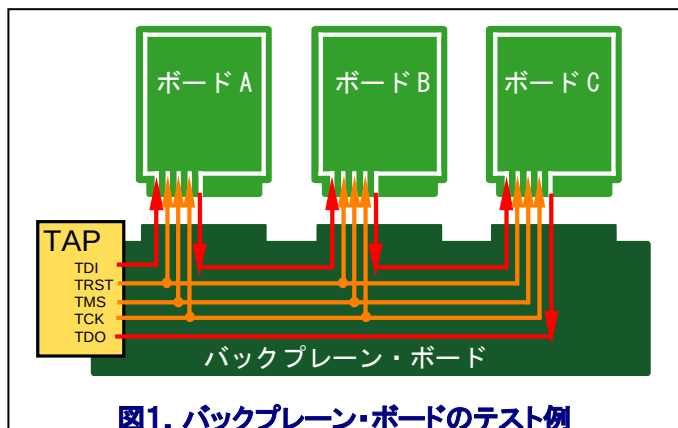


図1. バックプレーン・ボードのテスト例

この例では、スキャン・チェーン接続(各デバイスの TDI と TDO の接続のこと)として、基板ごとに TDI ラインと TDO ラインを個別に接続する必要があり、バックプレーン上のスロットごと(基板が挿さる箇所ごと)に接続が異なります。

つづいて、図 2 は1つの基板に不具合があった場合の例です。

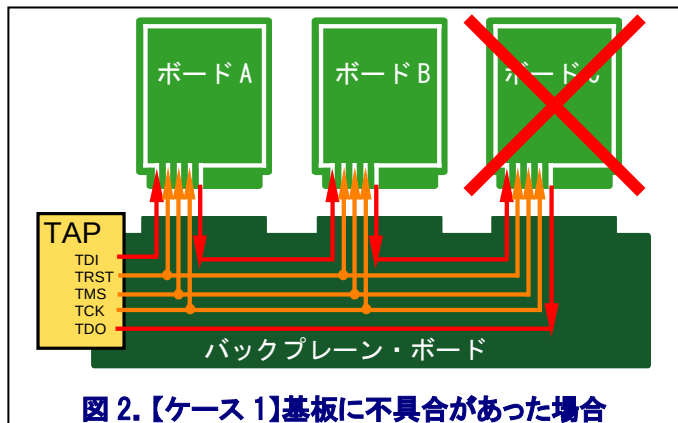


図 2. 【ケース 1】基板に不具合があった場合

このような際には、不具合基板が原因でスキャン・チェーンが分断してしまい、JTAG テストが行えないという問題が起こってしまいます。

つづいて、図 3 をご覧ください。

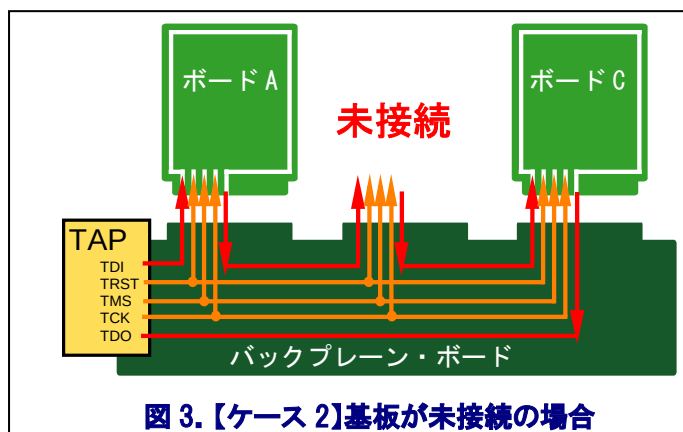


図 3. 【ケース 2】基板が未接続の場合

バックプレーン・ボードのスロットに基板が装着されていないため、スキャン・チェーンが分断してしまい、JTAG テストが行えなくなってしまいます。

最後に、図 4 は、バックプレーン・ボードに挿す基板の順番を間違えた場合の例です。

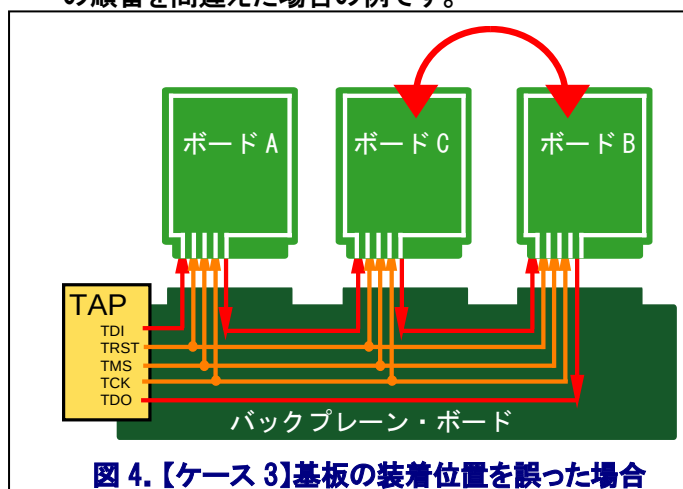


図 4. 【ケース 3】基板の装着位置を誤った場合

異なる種類の基板を複数使ったテストの場合には、スキャン・チェーンに配置されているデバイスの順番も動作に影響します。そのため、基板を挿すスロットの順番が変わると不具合が発生してしまいます。

システムレベル・デバイス 登場！

これらの問題を回避するために、JTAG テストでは、システムレベル・デバイスを使用することになります。図 5 は、システムレベル・テストで良く使われる ScanBridge というシステムレベル・デバイスをボードに組み込んだ例となります。

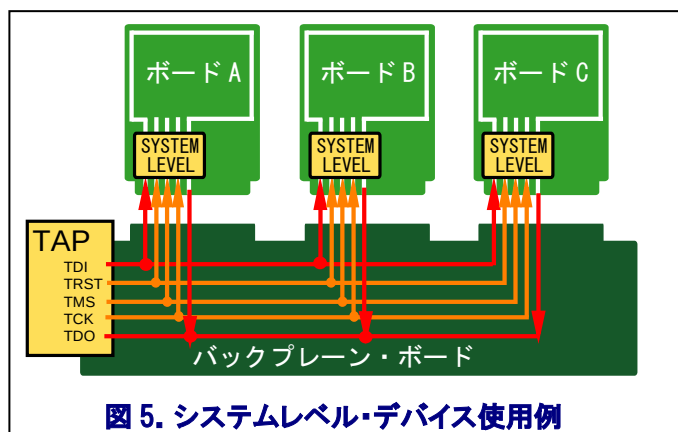


図 5. システムレベル・デバイス使用例

ScanBridge はアドレス識別機能を搭載しているため、同じバス上に複数の基板がぶら下がっていても、特定の基板を識別するマルチドロップ(Multi Drop)接続が可能です。そのため、前の例のように各基板の TDI ラインと TDO ラインを個別に順に接続する必要がなく、基板の順番や接続状態を気にすることなく、テストを実現することができます。

また、カスケード(Cascade:直列)接続や階層接続なども対応可能なため、より複雑なシステムのテストが可能です。更に、TAP の結合や分離という点でも、このシステムレベル・デバイスが有効です。

システムレベル・デバイスの種類と特徴

では、システムレベル・デバイスにはどんなものがあるのか、それぞれの接続方法の特徴と使用できるデバイスについて以下に記します。

(1) カスケード接続

カスケード接続を行うには、次の①～④のシステムレベル・デバイスを使用することになります。

①ScanBridge と変種

【特徴】

アドレス識別が可能です。アドレス 0～0x3f(アドレス 3b,3f は指定機能のため使用不可)

【デバイス】

- SCANSTA111(National Semiconductor); 3 port ScanBridge
- SCANSTA112(National Semiconductor); 7 port ScanBridge

- JTS03(IP Core,device; Fireceon Ltd); 3port Gateway device
- JTS06(IP Core,device; Fireceon Ltd); 6port Gateway device
- NPSC110F(National Semiconductor); 3port ScanBridge
- TF112(Telefunken Semiconductor); 7port ScanBridge
- その他 02, JTL05, JTL07, JTX05, JTX07,JTX09 など
- その他 MSC101、G8R など

②Addressable Scan Ports(ASP)

【特徴】

アドレス識別が可能です。アドレス 0~0x3ff
(アドレス 0,3fe,3ff は指定機能のため使用不可)

【デバイス】

- SN54/74LVT8996(Texas Instruments)
; 1 port Addressble Scan Port
- SN54/74LVT8986(Texas Instruments)
; 3 port Addressble Scan Port
- LSC BSCAN-1(Lattice Semiconductor)
; 3 port Scan Port Addressable Buffer

③Scan Path Linker

【特徴】

アドレスを持ちません。

【デバイス】

- LSC BSCAN-2(Lattice Semiconductor)
; 4 port Multiple Scan Port Linker
- SN54/74ACT8997(Texas Instruments)
; 4 port Scan Path Linker

④Scan PathSelector

【特徴】

4つのローカル・セカンダリ・ポートを持ち、そのうちの1つだけを接続して、アクティブにすることができます。また、アドレスを持ちません。

【デバイス】

- SN748999(Texas Instruments); 4 port Scan-Path Selector

(2)マルチドロップ接続

マルチドロップ接続を行うには、次の①、②のシステムレベル・デバイスを使用することになります。

- ① マルチドロップ設定の ScanBridge
- ② マルチドロップ設定の ASP

(3)階層接続

セカンダリ(第二の)・システム・レベル・デバイスの階層を通して、プライマリ(第一の)システム・レベル・デバイスの両方をリンクした接続です。次のシステム・コンフィグレーションのケースがあります。

- ① カスケード設定の階層
- ② マルチドロップ設定の階層

システムレベル・デバイスは簡単に使える？

弊社で扱っている JTAG Technologies 社のツールは、システムレベル・テストに標準対応しており、最新版の ProVision という統合環境ツールでシステムレベル・デバイスを使ったテストを簡単に扱うことが可能です。

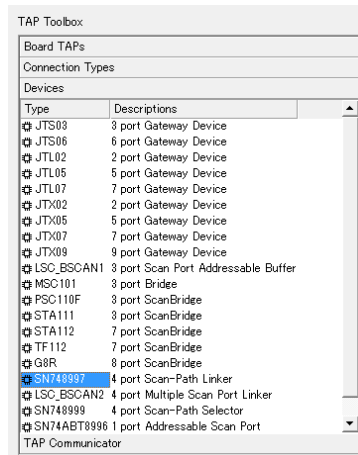


図 6. TAP コネクションエディタ ツール

また、FPGA/cPLD の ISP(In-System Programing)ツールもシステムレベルの書き込み対応です。

あとがき

興味があったら、是非、システムレベル・テストにチャレンジしてみてください！

＜山田 実＞