

JTAG バウンダリ スキャンと DFT

～テスト範囲向上のための設計 其の参～

まえがき

前回に引き続き、今回も JTAG バウンダリ スキャン・テスト(以下、JTAG テストと記載)についての DFT(Design For Test)として、設計段階に注意する点をご紹介しますと思います。

今回は、スキャン・チェーンの分離(以下、TAP の分離と表記)や、FPGA デバイス使用時の注意などについて、詳しく説明してゆきます。

MPU などのデバイスの TAP 分離

CPU, MPU, DSP などと呼ばれるプロセッサは、プログラム開発やハードウェア開発のために ICE(In-Circuit Emulator)やデバッガなどの開発ツールを接続する場合があります。

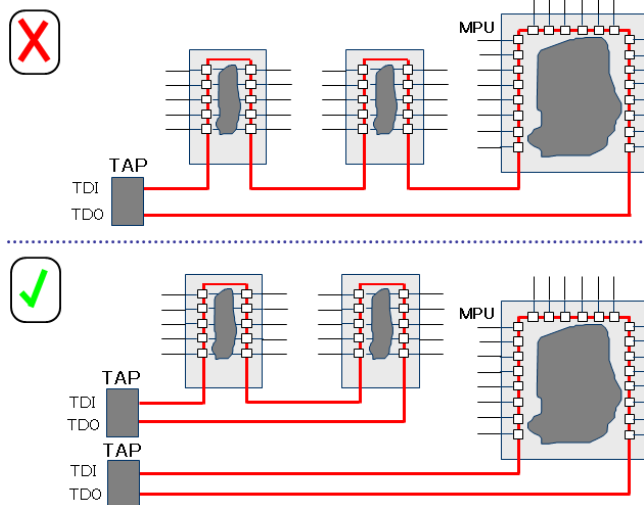


図 1. MPU の TAP 分離

これらの開発ツールは一般的にスキャン・チェーン内に他のデバイスが存在しないものとして設計されています。これらの開発ツールの使用をお考えの際は、他のデバイスと TAP を分離していただくことをお勧めいたします。

TCK 周波数による TAP 分離

バウンダリ スキャン・デバイスは、デバイスごとに TCK 信号の周波数(以下 TCK 周波数と表記)の max. 値が異なります。

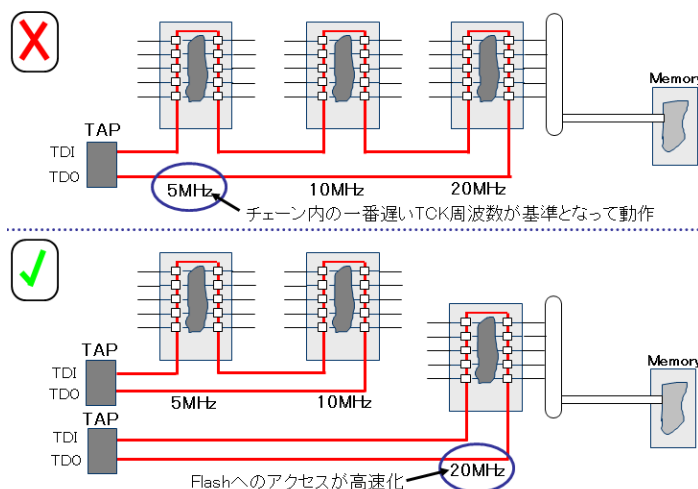


図 2. TCK 周波数による TAP 分離

図 2 の上の例のように、いくつかの TCK 周波数が存在する場合は一番遅いデバイスの TCK 周波数が基準となって動作してしまいます。Flash メモリなど大量のデータをバウンダリスキャン・レジスタを介して流す場合には、この TCK 周波数が顕著に動作時間に影響してきます。

いくら早い TCK のデバイスと接続されていても、このような接続では意味がなくなってしまいますので、TAP を分離することをお勧めいたします。

TAP 電圧の相違による TAP 分離

現在は省電力化などの点から、低電圧対応のデバイスを使うことが多くなってきており、複数電圧のデバイスが混在したシステムも多くなってきているようです。また、ピンの電圧が複数電圧対応となっているデバイスも多くあります。

そのため、設計時には TAP 信号に対する動作電圧をデータシートより良く調べ、異なる TAP 電圧のデバイスは TAP を分離することをお勧めいたします。

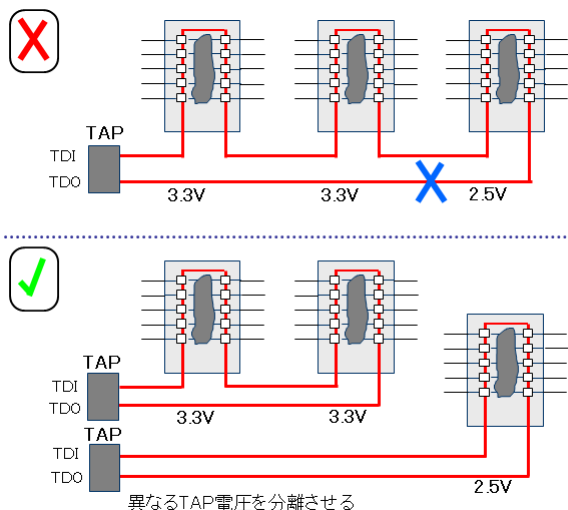


図 3. TAP 電圧の相違による分離

FPGA や cPLD のコンフィギュレーション

回路で良く使われるようになった cPLD (complex Programmable Logic Device) や FPGA (Field Programmable Gate Array) を使用する際には、内部のロジック回路の書き込みの有無にご注意ください。これらのデバイスは、ピンを色々なインターフェイスに対応できるように設計されています。

そのため、通常のデバイスではピンの間近にあるバウンダリスキャン・セルが、コアロジック側に配置されており、書き込み回路によって変化するようになっています。

デバイス・ベンダ (デバイス・メーカー) では、電源や GND 以外のピンは I/O ピンとして、入出力セルが搭載されているとして、BSDL ファイルに記載されています。

一般的には、BSDL ファイルのヘッダ部分や先日ご紹介した『attribute DESIGN_WARNING』キーワード部分に、その旨が記載されており、ユーザーにその旨を注意として呼びかけておりますが、この内容をご存じないケースが多いようです。

デバイスの内部回路が書かれていると、JTAG テストが正常に行えないピンが発生するという問題が生じてしまいます。

cPLD の場合は、イレーズされているデバイスをお使いいただくことをお勧めいたします。

また、SRAM ベースの FPGA の場合は、コンフィギュレーション動作をさせないような工夫を回路に盛り込んでいただくことをお勧めいたします。

下図は、物理的にコンフィギュレーション動作をさせないようにした例です。

通常動作時と JTAG テスト時で、それぞれ、ジャンパー・ピンの設定を変えることにより対応できるようにしています。

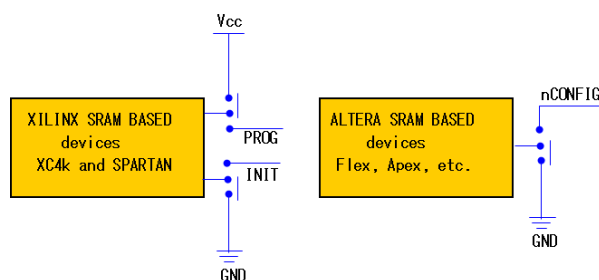


図 4. TAP 信号のバッファリング

どうしても、コンフィギュレーション動作をさせないようにできない場合は、デバイスベンダが用意している、ユーザーが設計した回路を BSDL ファイルに反映させるための、『BSDL ファイルの書き換えツール』をお使いください。以下に例を示します。

(1) ALTERA

- BSDL Customizer (Post-Configuration)
- Preconfig BSDL Customizer (Pre-configuration)

(2) XILINX

- BSDL Anno

あとがき

今回は、差動通信デバイスの JTAG テスト「IEEE 1149.6 (Dot6)」について触れてみたいと思います。

＜山田 実＞