

## デジタル・ネットワークの基板テスト ～IEEE std、1149.6 について～ Part.1

## まえがき

近年、高速データ転送のために、差動信号(Differential Signal)が使われることが多くなってきました。

差動インターフェイスの規格の1つであるLVDS(Low Voltage Differential Signal)は、シングルエンド信号に比べてノイズに強く、低電圧で高速にデータを伝送できるために、最近ではLSIに組み込まれることも多くなってきています。

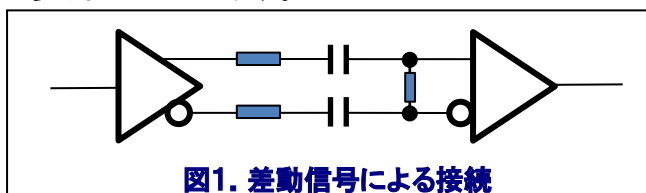


図1. 差動信号による接続

このようなインターフェイス回路についての実装テスト(基板テスト、配線テスト)を、皆さんはどのように行っておりますでしょうか？

今回は、このような差動信号の JTAG バウンダリスキャン テスト(以降、JTAG テストと記載)に関して、お話しをしてみたいと思います。

## 差動信号のバウンダリスキャン・テスト

JTAG テストは、「デジタル・デバイス・ピン間のインターコネクトをテストするもの」として、1990 年に IEEE Std 1149.1(以降 Dot1 と記載)規格として定義されたものです。

Dot1 では、オープン・ピン、ネット間のブリッジ、Vcc や GND とショートしたネットなどの故障箇所を、プリント基板上で容易に検知・分析することができます。

対して、デジタル信号の AC 結合(交流結合)、特に差

動信号をテストするために開発されたものが、2003 年に規格化された IEEE Std 1149.6(以降 Dot6 と記載)です。

Dot6 は、「Advanced Digital Networks(高度デジタル・ネットワーク)」に対して、JTAG テストを行うための規格です。

## Dot6 の背景と概念

Dot6 は、Dot1 の能力を拡張することを目的としており、高速インターコネクト、AC 結合、差動あるいはその両方をテストし、分析することができます。

規格では、DC ピンと AC ピンは区別されます。

DC ピンは DC 結合されるシングルエンド信号※のデジタル・ピンとなり、Dot1 で定義されたテスト手法を使用してテストすることが可能です。

※シングルエンド(single-ended)信号は、グランド(0V)を基準に電圧レベルとして”L”と”H”が決まる信号を意味しています。

それに対し、AC ピンは高度なデジタル I/O ピンであり、それらのインターコネクト・テストには事象信号(時間で変動する信号)が必要となります。

ドライバーとレシーバー間のカップリング・コンデンサーは、DC 電圧がドライブされるのを防ぐ動作をします。

また、AC 接続ラインのカップリング・コンデンサーは、単に DC 信号をブロックし、レシーバーがそれを捕らえる(キャプチャする)前に、コンデンサーが信号を腐食(減衰)させてしまいます。

しかしながら、オリジナルの波形の移り変わり(以下、波形推移と記載)はコンデンサーを通り抜けて、レシーバー側で検知することができます。(図2 参照)

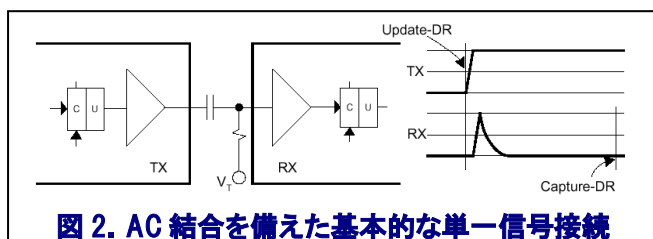


図2. AC結合を備えた基本的な単一信号接続

Dot6 の概念は、『レシーバーはオリジナルの波形推移を常に検知することができ、デジタル信号値(0 と 1)を復元することができる』という点に基づきます。

以上の点より、ACテスト・モード中は、AC結合を通り抜けることができる時変信号が使用されることになります。

#### Dot6 の動作

Dot6 では、AC 出力ピン上に、パルスあるいはパルストレイン(パルス列:連続パルス)をドライブするためのロジックと、AC 入力ピン上の波形推移を検知するロジックを定義します。

Dot6には、EXTEST\_PULSE、EXTEST\_TRAINという2つの新しい命令が搭載されており、これによりパルスとパルストレインの選択を行うことができます。

これらの命令は、『Run-Test / Idle(RTI)』TAPコントローラ・ステートの Entry 後の状態遷移で、AC 出力を少なくとも2回もたらしめます。

AC ドライバー・ピンの追加の波形推移の生成は、『Run-Test / Idle(RTI)』TAPコントローラ・ステートの Exit か Entry によって制御されます。

追加の波形推移をさせることで、テスト・レシーバーがデータを検知、復元することが可能となります。

#### ACドライバー・ピン

ACドライバー・ピンのテスト・ロジックは、図3のように、追加のマルチプレクサを備えた Dot1 ロジックによって構成されます。

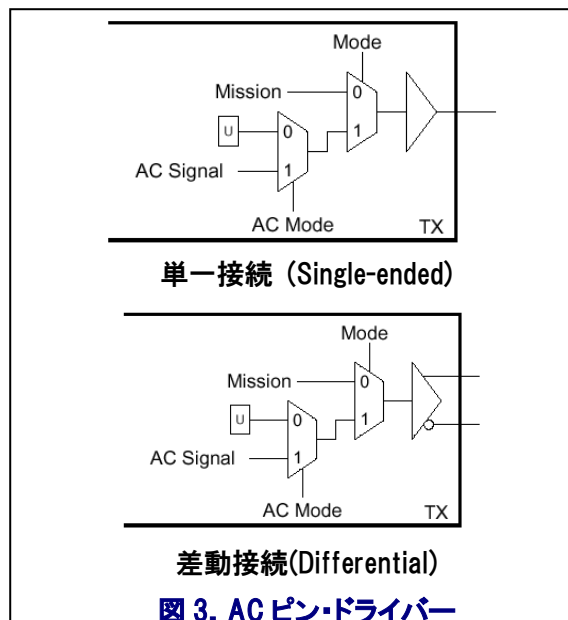


図3. ACピン・ドライバー

Mode 信号は正常な Mission 信号(本来の回路信号)かテストデータかを選択します。

EXTEST 命令を実行する場合、テストデータは関連するバウンダリスキャン・レジスタ・セル(アップデート・ラッチ「U」)の片方の内容となります。また、EXTEST\_PULSE 命令または EXTEST\_TRAIN 命令がデバイスにロードされる場合は AC Signal (AC 信号)となります。

テストデータのタイプを選択するための追加のマルチプレクサが、チップの Mission パスに挿入されず、テストデータ・パスに挿入されていることに注意してください。

#### ACレシーバー・ピン

ACレシーバー・ピンのテスト・ロジックは、図4のように、追加のテスト・レシーバーと、Dot1 レシーバー・ロジックに似たもので構成されます。



アンドールシステムサポート株式会社  
ANDOR SYSTEM SUPPORT CO.,LTD.

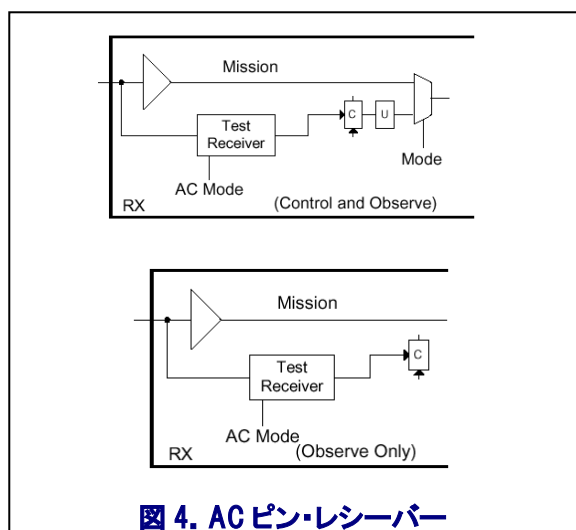


図 4. AC ピン・レシーバー

AC モードとして、EXTEST\_PULSE 命令または EXTEST\_TRAIN 命令がロードされる場合、テスト・レシーバーは入力で見られた AC 信号の波形推移を検知し、これがロジック「0」あるいはロジック「1」かどうかを判断します。

最高値から最低値までの信号の波形推移はロジック「0」(≡ S = “0”; High から Low への信号の移り変わり)として格納され、最低値から最高値までの信号の波形推移はロジック「1」(≡ S = “1”; Low から High への信号の移り変わり)として格納されます。

EXTEST がロードされる場合、入力信号レベルはバウンダリスキャン・レジスタ・セル(キャプチャー・フリップ・フロップ「C」)のテスト・レシーバーによって検出され、転送されます。

#### テスト・レシーバー・モデル

図 5 のテスト・レシーバー・モデルでは、未知のオフセットを備えた信号の波形推移は、遅延したバージョンの信号と比較することにより検知されます。

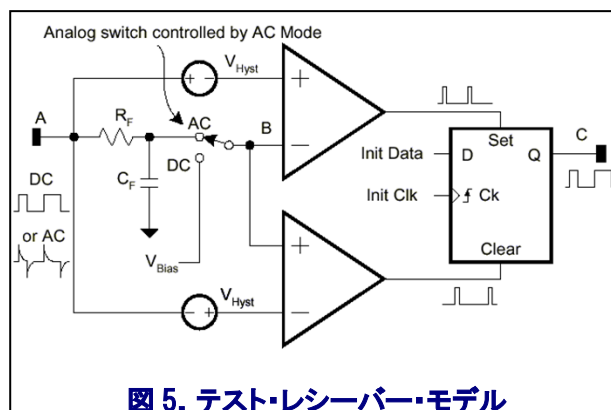


図 5. テスト・レシーバー・モデル

遅延したバージョンの信号は、 $R_F$  と  $C_F$  によって形成されるローパス・フィルタに起因します。

下部のコンパレータが立ち下がりエッジを検知している間、上部のコンパレータは立ち上がりエッジを検知します。

コンパレータ出力はそれぞれフリップ・フロップの Set(セット)と Clear(クリア)の動作を行います。

その結果、DC として利用可能なオリジナルのデジタル波形、あるいは入力の AC 信号は、中間接点 C で A ピンの結果を留めます。

アナログ・スイッチのセッティングは、EXTEST がロードされるかどうか (DC テスト)、あるいは EXTEST\_PULSE か EXTEST\_TRAIN 命令のいずれかがロードされる (AC テスト) かに依存します。

#### あとがき

ここまで、Dot6 について、前半部分の内容を説明をしました。

次回は、EXTEST\_PULSE 命令と EXTEST\_TRAIN 命令の動作の詳細などを説明し、この Dot6 の説明を完了させたいと思います。

<山田 実>