

部品内蔵基板や TSV 技術による 3D LSI と

JTAG バウンダリスキャン・テスト

はじめに

現在では、表面実装技術とプリント配線板のファイン化、部品の超小型化により、高密度小型化への遷移が著しく発展してきています。

部品の表面実装だけでは、基板に対してのこれ以上の小型化が困難なため、部品を基板内に埋め込む「部品内蔵基板」の技術が話題になってきています。また、LSI デバイスに関しても、製造技術の微細化や機能の 1 チップ化から TSV(Through Silicon Via)技術を利用した複合デバイスの開発が盛んになってくるものと思われます。

これらの技術の利用にともない、皆様にもっとも関心が高いと思われる『実装検査』という点について、今回は話題に触れてみたいと思います。

TSV 技術の概要

部品の小型化に伴い、システムを構成するマイクロプロセッサやメモリを 1 つのパッケージに統合する技術が盛んになってきています。

従来はパッケージ同士を積層する PoP(Package on Package)構造が一般的でしたが、動作の高速化や消費電力の増加などの点で問題が浮上するケースも増えてきているようです。

TSV 技術は、それらを解消するために、半導体のチップを上下に貫通する電極(ピア)を利用して 3 次元的に LSI を接続してパッケージ化しようというもので、現在もっとも注目されている技術です。



図 1. TSV(Through Silicon Via)チップ構造

3D LSI の検査

TSV 技術をベースとした半導体には、構造によって次の 2 種類のケースがあります。

(1)3D LSI

パッケージ内に内蔵するすべてのチップを 3 次元方向に積層した LSI のこと。(3 次元 LSI と呼ぶ)

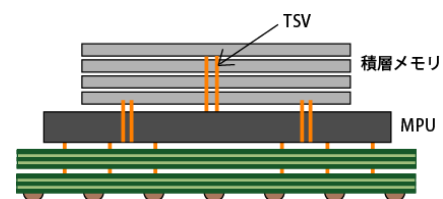


図 2. 3D LSI の例

(2)2.5D LSI

パッケージ内で 2 チップ以上を平置きした LSI のこと。(2.5 次元 LSI と呼ぶ)

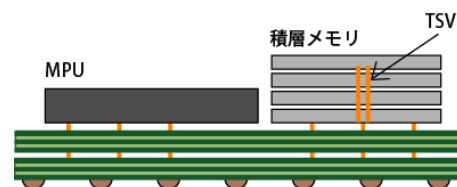


図 3. 2.5D LSI の例

この 2 種類の中で、パッケージ面積の増大や端子配置の難しさ、放熱の点などから、今後は 3D LSI の採用が主流になってゆくのではないかと考えられます。

これらの TSV 技術を用いたパッケージ化の普及という点で課題となるのは、チップの接続状態や動作などのテスト面になるかと思われます。

極薄チップに形成された 40 μm ピッチの TSV 端子をプロービングで接触させることは技術的に難しいため、テスター・メーカーでもテスト技術の整備を急いでいるようです。

部品内蔵基板の概要

部品内蔵基板は、能動部品や受動部品の素子をプリント配線板(基板内)に埋めこみ、表面や裏面の層に対しては一般的なプリント配線板と同様に、能動部品や受動部品を実装できるようにしたものです。

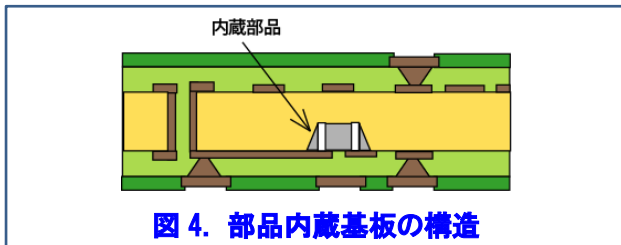


図4. 部品内蔵基板の構造

表面実装に比べて部品を配置する自由度が高まるため、部品間の配線の最適化により高周波特性などの改善なども見込めます。

部品内蔵基板が登場したころは、内蔵される部品としてはチップ抵抗やチップ・コンデンサといった受動部品が主流でしたが、現在は LSI などの能動部品も内蔵される傾向にあります。

部品内蔵基板の検査

部品内蔵基板は、内蔵部品の他に基板の表裏に外付けで部品を実装できる点がメリットになります。

しかしながら、外付け部品を全て実装した後に、内蔵部品の配線不良や部品自体の不良などの問題が見つかるようでは、歩留まり品の増加などにもつながってまいります。

そのため、まず、内蔵部品の不良を検出するために、基板がバアの状態(外部に何も実装していない生の状態)で検査することが求められます。

チップ抵抗やチップ・コンデンサなどの受動部品については従来の検査装置を用いることにより、比較的容易に実現出来るのかと思います。

しかしながら、LSI デバイスなど、能動部品を内蔵した基板の検査については、色々な課題が多いように思われます。

また、品質保証を部品の埋め込みプロセスの、どの

段階で行うのかなどの問題もあり、部品内蔵基板を製作しているメーカーや研究団体でも検査手段について、現在模索している段階のようです。

JTAG バウンダリスキャン・テストの可能性

では、これら TSV 技術を使用した 3D LSI や部品内蔵基板の信頼性試験という点で、JTAG バウンダリスキャン・テストの可能性を考えてゆきましょう。

バウンダリスキャン・テストでは 5 本(ないし 4 本)の TAP 信号のみが制御できれば実装検査を行うことができますので、少ないプローブポイントでのテストが可能です。

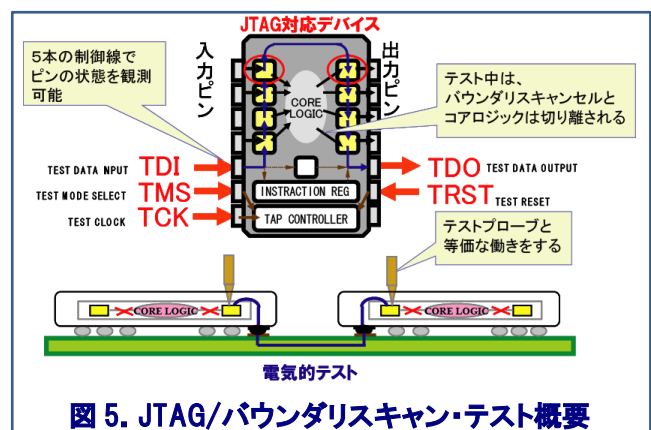


図5. JTAG/バウンダリスキャン・テスト概要

そのため、TSV 技術による LSI のパッケージ化については、LSI のパッケージのピン(端子)に TAP 信号を割り当てることでテストが可能となります。

また、部品内蔵基板については、LSI デバイスを内蔵した場合でも TAP 信号の配線のみをプロービングできるようにしておくことでテストが可能となります。

ただし、それぞれの技術には課題点もあり、テスト環境などの工夫が必要となります。

3D LSI の JTAG バウンダリスキャン・テスト

3D LSI に対しては、MPU(Micro Processor Unit)とメモリなどが 1 チップ化されるケースが最も多いのではないかと思います。

JTAG バウンダリスキャン・テストは、ご存じのように「電氣的テスト」であり、テスト対象基板に対して電源を供給する必要があります。

MPU デバイスの場合は、複数電圧対応のケースが多く、電圧投入順序が非常に重要になります。

さらに多くの場合、リセットやクロックなどの周辺回路が正常に動作していないと JTAG バウンダリスキャン機能自体が動作しないという制限などがあります。

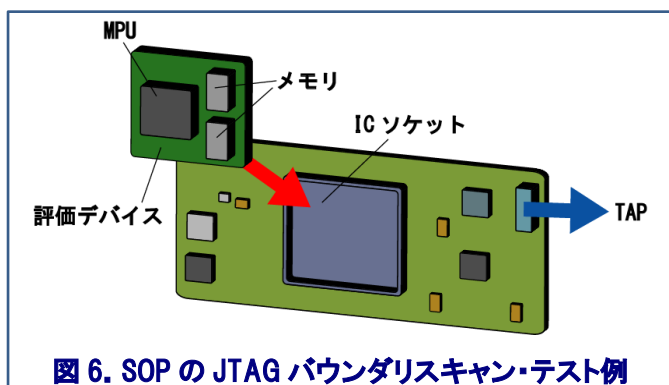
これらの回路をテスト装置の外部での接続によって、構成することは、ノイズや信号遅延などの影響もあり、非常に難しく、デバイス単体でテストを実現すること自体が難しいというのが課題点となります。

そのため、これらの回路が搭載されたデバイス評価用基板などにデバイスを実装した後に、テストを行うようになると思われます。

弊社で以前に体験した同様な例として、SOP(System On Package)デバイスの JTAG バウンダリスキャン・テストがあります。

この SOP ではプロセッサとメモリを 1 チップ化しており、メモリ間の結線不良が多いという問題により、バウンダリスキャン・テストを行う必要がありました。

この例では、デバイスの生産個数も少ないということもあり、デバイス評価基板上の IC ソケットに評価デバイスを実装することにより、JTAG バウンダリスキャン・テストを実現していました。



部品内蔵基板の JTAG バウンダリスキャン・テスト

先に述べたように、部品内蔵基板ではベア状態でのテストが望まれます。

しかしながら、前述の TSV のバウンダリスキャン・テストについての項で述べたように、内蔵デバイスが MPU デバイスの周辺回路の点など、問題が多くあります。

そのため、バウンダリスキャンでのテストを考えると、内蔵する部品の選別がキー(KEY)となるのではないかと考えられます。

JTAG バウンダリスキャン・テストでは、階層の浅いロジックやメモリ・デバイスなどについての結線テストが可能です。

そのため、MPU デバイスを基板に内蔵させるのではなく、その他の LSI 部品(たとえばメモリなど)を内蔵さ、外部的にバウンダリスキャン・デバイス(たとえば空の FPGA や CPLD)を接続することで、JTAG バウンダリスキャン・テストを有効利用することが、宜しいのかもしれません。

ただし、プロービング・ポイントが増加してしまうことによって、基板面積の増大にもつながってしまうため、部品内蔵基板の小型化のメリットを生かせなくなってしまうので、これらの点について十分な検討が必要になると思います。

まとめ

これらの新技術に対しても、テストという点で色々な調査・検討が行われているようです。

JTAG を応用した標準規格も数多く増えてきているので、これらのテストでの使用などでも、今後 JTAG バウンダリスキャン・テストの注目が上がってくるのではないかと思います。

<山田 実>