

## JTAG、こうやったら効果的！ Part1

### はじめに

実装不良を簡単に見つけることができる JTAG バウンダリスキャン・テスト(以下 JTAG テスト)ですが、回路設計やテスト方法を工夫することで、より効果的に扱うことが可能です。

今回は、こんな時にはどうしたら良いのか、どのような工夫をすることで効果をあげられるのかというテーマについて、いくつかの事例をもとに説明してみたいと思います。

### ネット解析よりピン解析！

まずは、「JTAG テストで故障解析精度を上げるための工夫」という点について説明します。

JTAG テストは、バウンダリスキャン・デバイス同士の配線テストが基本の動作です。

ここでは、オープン故障があった際の例をもとに説明しますが、ブリッジ故障でも考え方は一緒です。

たとえば、図 1 のような BGA デバイスと BGA デバイス間の 2 ピンが接続されていた場合の故障解析(不良箇所の特定)の結果はどのようになるでしょうか？

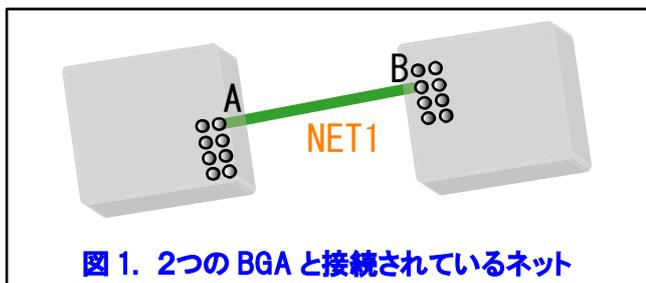


図 1. 2つの BGA と接続されているネット

この例では、A ピンと B ピンに接続されている配線パターン(ネット)を「NET1」とします。

また、A ピンを出力セル(値を出力するドライバとなるセル)と接続されているピン、B ピンを入力セル(値を入力するレシーバとなるセル)と接続されているピンとして考えることにします。

ここで、不良があった場合には、A ピンから出力した値が

B ピンで読み取ることができないため、『NET1 の信号ラインに問題がある』という故障解析結果しか得ることができません。

このような配線ケースの場合、実際には次の 3 つの要因が考えられるのですが、JTAG テストでは「ネット・レベル」でしか故障箇所を特定することができないのです。

#### 【不良の原因】

- ① A ピンのオープン(半田付け不良、クラック等)
- ② B ピンのオープン(半田付け不良、クラック等)
- ③ ネット 1 の断線

このような配線ケースでは、接続箇所が 2 ピンであるため、『ネット・レベル』の故障しか診断することができません。

DIP パッケージや QFP などのフラットパッケージのデバイスであれば、半田付け状態などを確認する方法はありますが、BGA の場合は、どちらかのデバイスにヤマを貼って実装を取り外す(剥がす)しかなく、リペア(修理)時の手間と時間がかかり、お手上げ状態になってしまうケースが往々にしてあります。

では、何か良い解決方法はないのでしょうか？

図 2 をご参照ください。

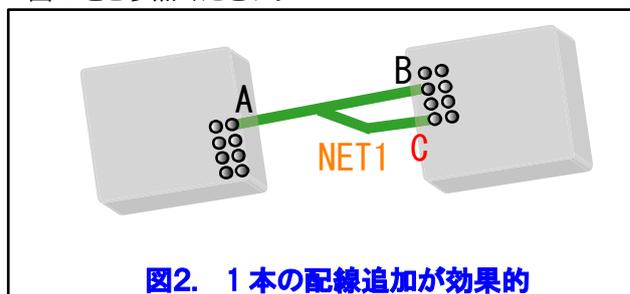


図2. 1本の配線追加が効果的

これは、先程の図 1 の例に、ピン C の配線を追加したものです。

ここでは、C ピンを入力セルと接続されているピンとした

場合を例にとって説明します。

Aピンから出力した値は、BピンとCピンで読み取ることになりますので、不良があった場合は、次のような結果を導き出せます。

- ① Aピンが出力した値をBピンでは正常に読み取ることができるが、Cピンでは読み取ることができない場合には、『Cピンがオープンである』という原因が判断できる。
- ② Aピンが出力した値をCピンでは正常に読み取ることができるが、Bピンでは読み取ることができない場合には、『Bピンがオープンである』という原因が判断できる。
- ③ BピンとCピンのどちらも正常な値を読み取ることができなければ、『Aピンがオープンである』という原因がわかる。

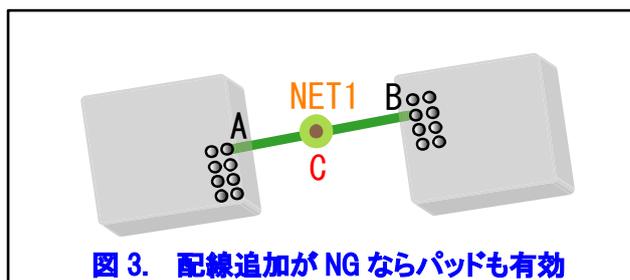
このように、配線箇所が2ピンから3ピンに変わるだけで、故障箇所の特定を『ネット・レベル』から『ピン・レベル』にすることができ、どちらのBGAデバイスに実装上の問題があるのかを、シッカリと特定することが可能になります。

このように、接続箇所を増やすことができると、故障解析の精度を上げることができます。

ここでは、例として、配線を追加するために同一デバイスのピンを使用していますが、回路図上で「3つ以上のバウンダリスキャン・デバイスのピンを接続させるような状態」を作れば良いのです。

回路的に、どうしても2ピンとしか接続することができないような場合には、cPLDやFPGAなどの空きピンを使用して、この部分に追加接続するという手段が有効かもしれません。

また、高速伝送ラインの信号でなければ、図3のように、Cの箇所にテスト・パッドを設け、この部分にバウンダリスキャンI/Oを接続するのも効果的ではないでしょうか。



**図3. 配線追加がNGならパッドも有効**

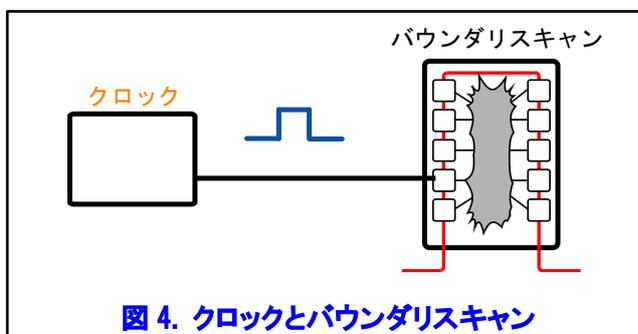
1つよりも2つ、2つよりも3つ、JTAGでは接続箇所が多いほど、故障解析の精度を上げることができるという話題でした。

### クロックのテストは難しい！

お客様が作る回路には、水晶発振器、クロック・モジュールなど、「クロック」と呼ばれる部品が使われているケースが多いのかと思います。

このクロックに接続されるバウンダリスキャン・デバイスのピンには、バウンダリスキャン・セルが搭載されているケースが多いように思われます。(図4をご参照ください。)

※ 高速なクロックが使われる場合、バウンダリスキャン・セルが搭載されていないケースも多いようです。



**図4. クロックとバウンダリスキャン**

では、これらの部分はJTAGテスト可能なのでしょうか？

クロックからは、“L”レベルと“H”レベルがトグルする波形が出力されます。

そのため、次のように、①、②の動作ごとに一定時間に信号を読み出すループ動作(繰り返し動作)を行うことで、ある程度テストをすることが可能です。

- ① “H”レベルの信号が測定できるか？
- ② “L”レベルの信号が測定できるか？

しかしながら、バウンダリスキャン・デバイスは TCK 信号の周波数をもとに動作しますので、クロックの周期と TCK 信号の周波数の間の同期が取れないと、いつまで経っても①(もしくは②)の状態を読み取ることができないという状況が発生する可能性があります。

そのため、クロックは、JTAG テスト以外でテストすることをお勧めしています。

弊社では、クロックの周波数を測定することができるツール(JT2149/DAF)をご用意していますので、そちらを併用していただければと思います。

## メモリはグループではなく単独で！

バウンダリスキャン・テストでは、バウンダリスキャン・デバイスとメモリ・デバイス間の配線テストが可能です。お客様の回路図を拝見させていただくと、アドレス・バスや制御信号は共通で、データ・バスのビットだけが異なるグループ構成として、メモリ・デバイスを使用している回路を良く見かけます。

イメージとしては、図 5 のような構成です。

このようなグループ構成でメモリ・デバイスを使用している場合、メモリ・デバイスを「グループ扱い」として JTAG テストした方が良いのでしょうか？

それとも、メモリ・デバイスごとに、「個別」に JTAG テストした方が良いのでしょうか？

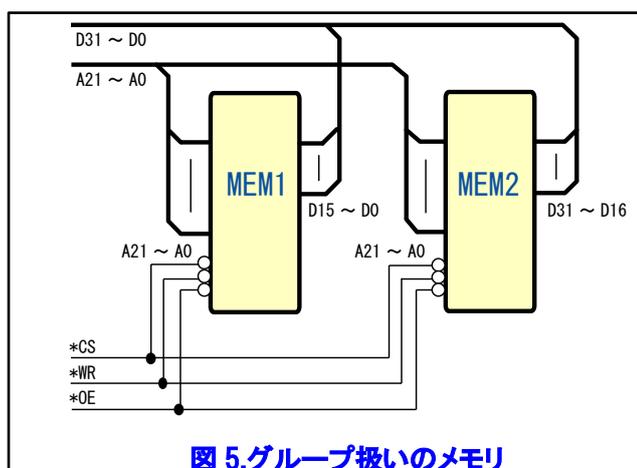


図 5.グループ扱いのメモリ

テスト時間でみると「個別」にテストすることに比べ、「グ

ループ扱い」としてテストするほうが速そうに思えます。しかしながら、不良箇所の検出精度という点では、「個別」にテストするほうが格段に良いのです。

たとえば、図 5 のメモリ MEM2 のアドレスの 1 ビットに不良があったとします。

通常、ブロック扱いでテストをする場合は、アドレス・バスと制御信号は共通のため、MEM1 と MEM2 のデバイスを 1 つのデバイスのように扱ってしまいます。

そのため、データ・バス D0~D15 側のメモリへのアクセスが正常にできていれば、アドレス・バスには問題がないものとして認識してしまいます。

したがって、データ・バス D16~D31 側に問題があるものとして、誤認識をしてしまうのです。

メモリ・デバイスを個別にテストすることで、このような問題を回避することができ、故障解析の精度が上がります。

「グループ扱い」で不良の有無を見つける、「個別」で解析の精度を上げる、テスト時間を取るか、診断精度を取るか、どちらかはお客様のシステムでお考えください。

通常の生産の場合、テスト時間(テスト・タクト時間)が最優先となりますので、まずは、不良の有無を見つけ、不良基板はあとで解析するというケースが多いようです。

## まとめ

今回の記事はいかがでしたでしょうか？

このように、ちょっとした工夫をすることで、JTAG テストのカバレッジを向上させたり、不良箇所を特定する精度を上げたりすることが可能です。

紙面ページ数が多くなってしまったので、続きは、次回の記事以降、随時お伝えできればと思っています。

本記事に、最後までお付き合いいただき、どうも有難うございました。

<山田 実>