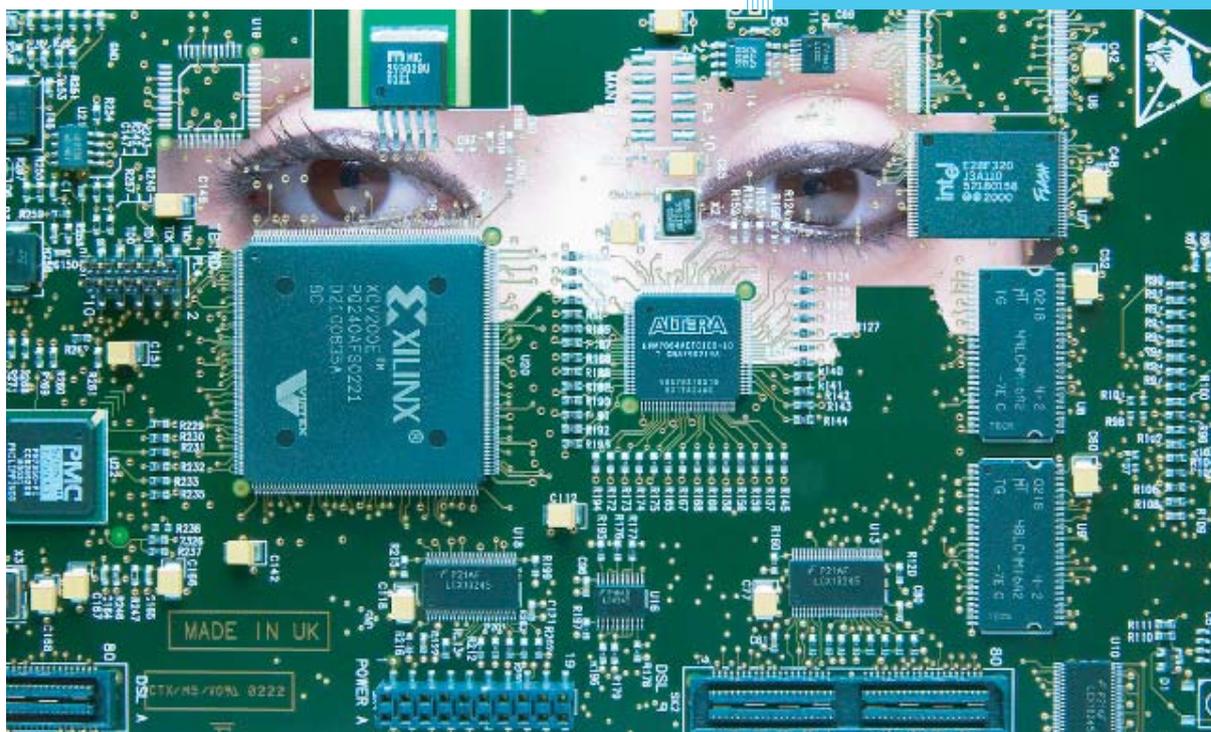


JTAG 技術レポート

1



JTAG 技術レポート Vol 1 ~ Vol 6 インサーキットテストを超える JTAG テスト

内容

- Vol 1 : 各分野で使われている JTAG バウンダリスキャン テスト
- Vol 2 : 何故 JTAG テストが必要なのか？
- Vol 3 : 問題解決が問題に！？ (BGA 実装の難しさ)
- Vol 4 : JTAG テストにはこんな多くのメリットが！
- Vol 5 : 部品内蔵基板や TSV 技術による 3D LSI と JTAG テスト
- Vol 6 : インサーキットテストを超える JTAG テストの基礎

JTAG Technologies 社 日本国内総代理店



システムに挑戦する
アンドールシステムサポート株式会社

JTAG
TECHNOLOGIES

各分野で使われている JTAG バウンダリスキャン テスト

JTAG バウンダリスキャン テストを採用する企業

現在では、産業機器からコンシューマまでの高密度な組込み製品の実装テストに「JTAG バウンダリスキャン テスト (以下、JTAG テスト)」が適用されています。その一部を以下に記します。

- ・コンピュータ
- ・高性能携帯電話、多機能端末
- ・プリンタなどコンピュータ周辺機器
- ・複合機/複写機
- ・電子カメラ、電子ムービー
- ・液晶 TV、プラズマ TV
- ・ゲーム機、アミューズメントマシン
- ・計測機器、LSI テスタ、制御機器
- ・標準バスボード (PCI、Compact PCI 等)
- ・自動車搭載電子制御ボード

これらの企業は何故 JTAG テストを採用したのでしょうか？

JTAG テストはどんな基板に向いている？

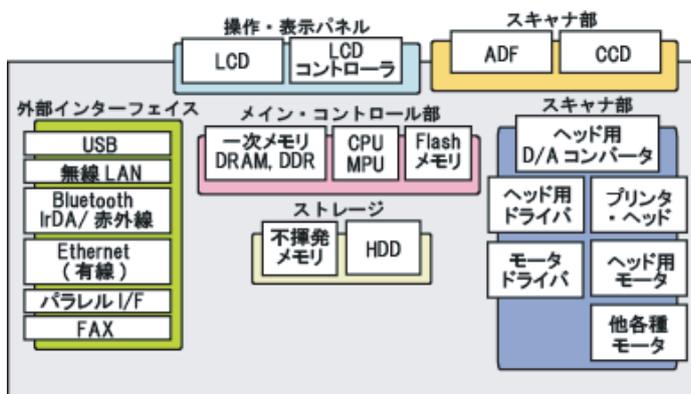
これら採用企業の中から、複合機 / 複写機 (MFP) の JTAG テスト検査適用という点を例に、説明してゆきたいと思います。



MFP とは、Multi Function Printer(多機能プリンタ)、Multi Function Peripheral(多機能周辺機器)、Multi Function Product(多機能製品)の略称であり、一般的には、コピー、プリンタ、スキャナ、ファクスの機能が一体になった機器のことを指しています。

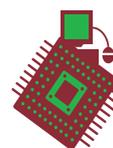
近年、情報技術 (IT) の発達により、オフィス市場以外での MFP の使用が増えてきており、高速、高画質、高機能化が進んできているようです。

まず、これら MFP 機器はどのような構成となっているか、概略ブロック図を書いてみましたので、ご参照ください。



※ブロック図は例であり、各メーカーの MFP とは異なるケースがありますが、ご了承ください。

ブロック図を見ると、外部インターフェイスなど、ほとんどが PC(Personal Computer) システムに似た構成であることがわかるかと思えます。これらの外部インターフェイスは、専用のコントローラ LSI や ASIC(Application Specific Integrated Circuit)、FPGA (Field-Programmable Gate Array) など、専用機能を搭載した設計がなされたデバイスが使用されています。また、メイン・コントロール部には、CPU (Central Processing Unit) や MPU(Micro Processing Unit)、一次記憶メモリ (SDRAM)、Flash メモリなどのデバイスで構成されていることがわかるかと思えます。



また、システムを構成するデバイスの多くは、高性能のためにピン数が多く、高密度実装のために BGA (Ball Grid Array) などの特殊パッケージを使用するケースが多くなってきています。MPU や FPGA などは標準でバウンダリスキャン・機能が搭載されるケースも多く、JTAG テストのメリットがありそうなことがお分かりになるのではないのでしょうか？

あとがき

どうですか？ JTAG テストにだんだん興味を惹かれてきませんか？ 次回は、もう少しコアな話を・・・。

< 山田 実 >

何故 JTAG バウンダリスキャン テストが必要なのか？

JTAG バウンダリスキャン テストの必要性

LSI パッケージ技術の変遷により、ますます高密度実装が盛んになってきた現在、従来のボード・テスト・システムでは複雑化・高度化する組み込みシステム製品の実装テストに対応できなくなっています。

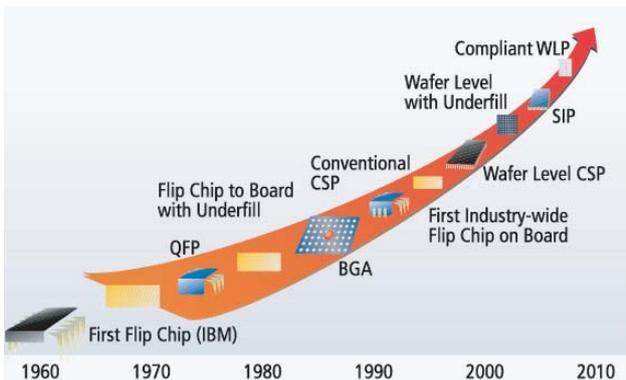


図 2-1. LSI パッケージの変遷

これには、いくつかの理由が挙げられます。

BGA(Ball Grid Array)/CSP(Chip Size Package) パッケージの搭載ボードをテストするには、従来の ICT (In Circuit Tester) ではプロービングが困難です。プロービングが可能な場合でも 2000 ピンを超えると接触信頼性の面で実用になりません。また、プロービングの増加により、ピン治具(フィクスチャ)の製作コストが上がるという問題も抱えています。さらに、高速な動作が必要とされる基板では、高速信号の品質を保持する必要があるために、信号ラインにプロービング・ポイントを配置することができません。

ファンクション・テストで検査精度を上げるためには、プログラミング作成工数が増大し、多品種少量生産のボードでは採算が合いません。また、不動作は発見できても、回路ブロック単位での判断となり、故障箇所の解析(故障箇所の特定)が困難です。さらに、ボード上の CPU が正常に動作していない場合には、ファンクション・テスト自体を機能させることができません。

BGA パッケージについては、デバイスのパッケージ下にボール状のピンが配置されているため、AOI (Automatic Optical Inspection machine ; 基板外観検査装置) での故障箇所の特定は不可能です。また、そのために、高価な X 線テストシステムを導入しても、部分的な解析用であり、ボード全体および全数テストには不向きです。また、これらのテストは電流を流したテストではないため、接続の信頼性の検査としては充分ではありません。

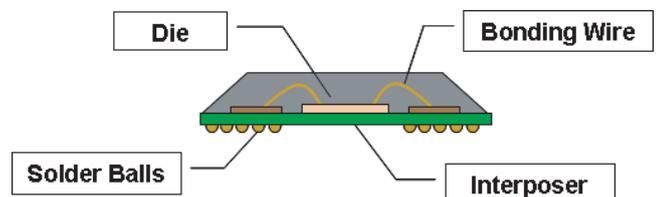


図 2-2. BGA パッケージのイメージ

これら従来手法の実装検査の問題点を解決するための手法として、1990 年に「IEEE Std. 1149.1」で規格化されたのが、『JTAG バウンダリスキャンテスト』で、プロービング機能をデバイス内に実装することによって実現したものです。

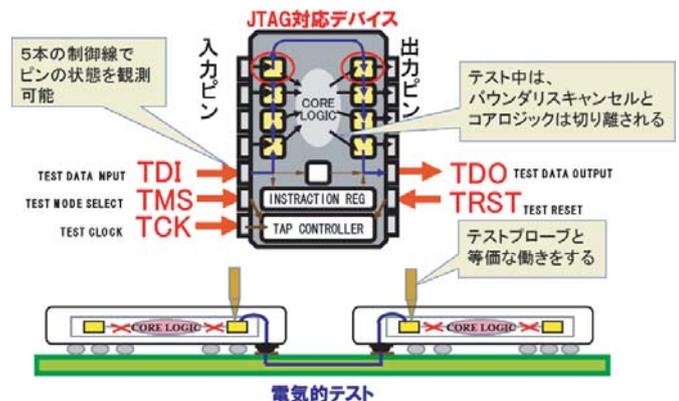


図 2-3. JTAG バウンダリスキャン テスト概要

あとがき

今回は、JTAG バウンダリスキャン テストの必要性についての内容でしたが、いかがでしたでしょうか？ 次回は、『JTAG バウンダリスキャン テストのメリット』について、ご紹介いたします。

< 山田 実 >

問題解決が問題に！？（BGA 実装の難しさ）

高密度実装のために BGA が生まれた！

従来のリード端子を部品周辺に持つ QFP(Quad Flat Package) や SOP (System On Package) に代わり、比較的小型で多ピン化を可能としたパッケージとして開発されたのが BGA(Ball Grid Array) です。

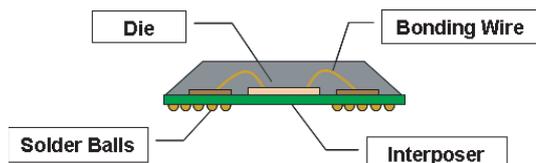


図 3-1. BGA パッケージのイメージ

BGA は、本来は次の目的のために開発されたパッケージとなります。

- 従来パッケージに比べ、より高密度実装が可能
- 実装に起因するリペア作業が非常に少ない
- 実装の歩留まりが高くなることによって、プリント基板組立のトータルコストを低減できる

しかしながら、BGA は部品実装の品質確認において大きな問題を抱えているのが現状であり、これには部品パッケージの構造が少なからず関係しています。下図は、BGA のバンプ（ボール形状の端子）と基板との接続イメージです。

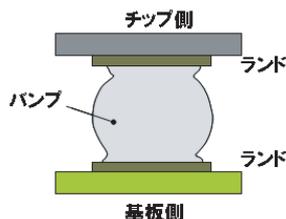


図 3-2. BGA の基板への接続イメージ

BGA 実装には問題がいっぱい？

実装に関する問題としては、基板自体の不良（パターン、スルーホール、ランド不良）の他、実装の際のはんだ不良があります。

実装については、一般的に、リフロー行程において適度な温度プロファイルが設定されていれば、問題が発生するケースは少ないようです。しかしながら、温度条件が悪い場合、ハンダ溶解が不十分となって、未接続の状態になることがあります。また、加熱を

し過ぎることによってバンプが変形し、隣接する端子間でブリッジが発生したり、ハンダ流れや飛散によるハンダ量不足によって未接続となることがあります。さらに、温度による基板やパッケージの反り、実装時の部品の位置ズレ等が原因で不良となるケースもあります。BGA の不良の例を图示してみました。

<p>図 3-3. 未溶解</p>	<p>基板側ランドに塗られたペーストが未溶解のために不良となる</p>
<p>バンプと基板側のランドに塗られたペーストが融合していないために不良が起こる</p>	<p>図 3-4. ぬれ不良</p>
<p>図 3-5. クラック、ポイド</p>	<p>バンプ内の空洞部であるポイド。熱的・機械的ストレスによるクラック（剥離・亀裂） ※ポイドが多い部分には、クラックが発生しやすい。</p>

このような BGA の実装不良は、外観検査装置や X 線装置で見つけることが難しく、また、不良の原因追求のために多くの時間が費やされてしまいます。とくに極微細クラックなどは、見つけられないケースも多いようです。

いかがでしょうか、BGA の実装の難しさをお分かりただけでしょうか？

あとがき

BGA の実装不良の有無を見つけるためには、電気的テストである『JTAG バウンダリスキャン テスト』が非常に有効です。

次回は、『JTAG テストの回路工夫』というテーマで書いてみたいと思います。

< 山田 実 >

JTAG テストにはこんな多くのメリットが！！

テスト手法と故障タイプ

JTAG テストは従来のテスト手法で困難な BGA/CSP 実装ボードに対しての問題点を解決するツールとして各企業への導入が進んでいます。

図 4-1 は、従来のテスト手法と JTAG テスト手法で検出することのできる故障について図示したものです。これを見ると、JTAG テスト単独でかなりのテスト故障が検出可能なことがわかります。

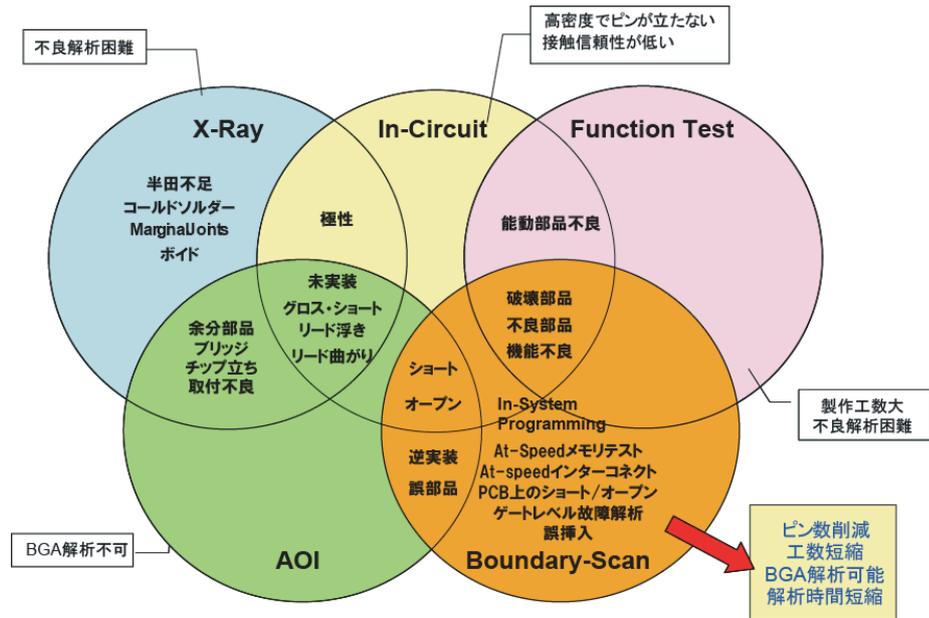


図 4-1. テスト手法と故障タイプ

複合テストシステムへの期待

しかしながら、JTAG テストだけでは、従来のテストのメリットである部品定数の測定や機能チェックなどを行なうことが出来ないのも事実です。

そのため、テスト対象基板によっては、JTAG テストだけではなく、従来のテスト手法を併用した柔軟な「複合テストシステム」を構築することをお勧めいたします。これによって、効率的かつ経済的なテストのシステムを実現することができます。

弊社から JTAG テストシステムをご導入いただいている企業様からも、このような「複合テストシステム」のお話が増えてきています。それぞれのテスト手法のメリットを活かすことで、より高品質な製品を製造することができるのではないのでしょうか？

製品開発サイクルごとのメリット

ICT やファンクションテストなどの従来手法のテストは、最終的な量産段階となった時点で基板形状

やファームウェアが出来上がるため、通常は、テストの実施も、この量産段階となります。

しかしながら、JTAG テストは、図 4-2 に示すように製品開発サイクルの各工程（開発／生産試作／量産）を通じてシームレスに使用することができ、製品の Time to Market を短縮することができる点が従来のテスト手法に比べて大きなメリットとなります。

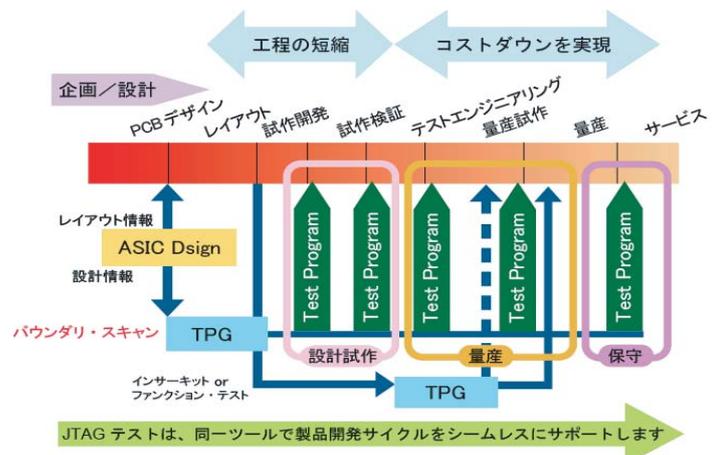


図 4-2. シームレスなサポート

ここでは、JTAG テストに的を絞って、製品開発の各段階におけるメリットについて説明します。

研究開発段階におけるメリット

JTAG テストは、テスト対象基板のネットリスト(結線情報)と JTAG デバイス専用の電子ファイル『BSDL ファイル』を基にテストデータを自動生成することができるため、テストデータ作成のための工数が最小限で済みます。(図 4-3 テストフローご参照。)

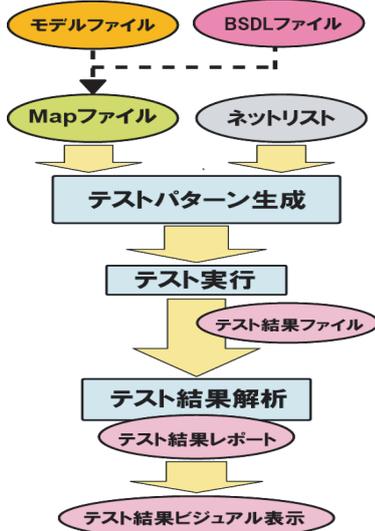


図 4-3. JTAG テストのテストフロー

また、PC をホストとした非常にコンパクトなシステム環境でテストを行なえるため、研究開発技術者は、試作品であっても不具合内容とその箇所を手元で

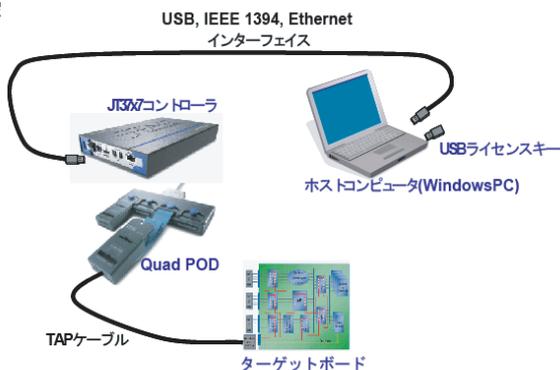


図 4-4. JTAG テストのシステム環境

そのため、基板自体や実装に起因する不良による動作不具合に悩まされていた時間を削減することができ、本来の設計自体のデバックに専念することができます。

生産試作段階におけるメリット

JTAG テストを行なうためには、わずか 5 本のテスト制御線を基板上に実装すれば良く、同一のネットリストであればレイアウトの異なる基板でも同一テストデータでテスト可能です。

また、同一回路で多機種に対応した基板の場合にも、機種ごとに異なる実装 / 未実装部品の情報を取り込むことにより、それぞれの機種に対応したテストデータを簡単に生成することが可能です。

また、これまで難しかった生産試作段階における小ロット基板のテストが容易になり、生産技術者や研究開発技術者の工数が節減できます。

製品の量産段階におけるメリット

量産段階で JTAG テストを導入することにより、次のような効果が得られます。

【技術面や時間に関するメリット】

- ①合否判定テストが高速にできる。
- ②不良箇所の詳細な診断が可能のため、修理時間を短縮できる。
- ③基板に詳しくないオペレータでも故障解析が容易にできる。

【経営や経済面でのメリット】

- ①テストシステムのコスト・パフォーマンスが高い。
- ②基板ごとにネットリストと BSDL ファイルを用意することで、汎用ツールとして使える。
- ③ピンプローブの削減やフィクスチャの多機種対応などにより、フィクスチャ製作費用が低減できる。
- ④基板の不良検出により、高価な製品ボードの歩留まりが向上する。
- ⑤EMS に対して、製造・検査～修理をアウトソーシングできる。
- ⑥製品の信頼性が向上する。

あとがき

JTAG テストの色々なメリットをご理解いただけましたでしょうか？

< 山田 実 >

部品内蔵基板や TSV 技術による 3D LSI と JTAG バウンダリスキャン テスト

はじめに

現在では、表面実装技術とプリント配線板のファイン化、部品の超小型化により、高密度小型化への遷移が著しく発展してきています。

部品の表面実装だけでは、基板に対してのこれ以上の小型化が困難なため、部品を基板内に埋め込む「部品内蔵基板」の技術が話題になってきています。

また、LSI デバイスに関しても、製造技術の微細化や機能の 1 チップ化から TSV(Through Silicon Via) 技術を利用した複合デバイスの開発が盛んになってくるものと思われます。

これらの技術の利用にともない、皆様にもっとも関心が高いと思われる『実装検査』という点について、今回は話題に触れてみたいと思います。

TSV 技術の概要

部品の小型化に伴い、システムを構成するマイクロプロセッサやメモリを 1 つのパッケージに統合する技術が盛んになってきています。

従来はパッケージ同士を積層する PoP(Package on Package) 構造が一般的でしたが、動作の高速化や消費電力の増加などの点で問題が浮上するケースも増えてきているようです。

TSV 技術は、それらを解消するために、半導体のチップを上下に貫通する電極(ビア)を利用して 3 次元的に LSI を接続してパッケージ化しようというもので、現在もっとも注目されている技術です。

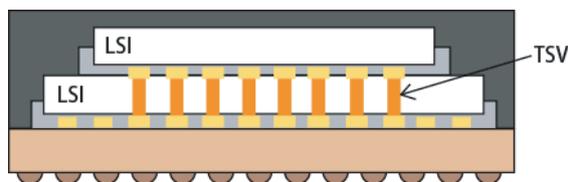


図 5-1. TSV (Through Silicon Via) チップ構造

3D LSI の検査

TSV 技術をベースとした半導体には、構造によって次の 2 種類のケースがあります。

(1) 3D LSI

パッケージに内蔵するすべてのチップを 3 次元方向に積層した LSI のこと。(3次元 LSI と呼ぶ)

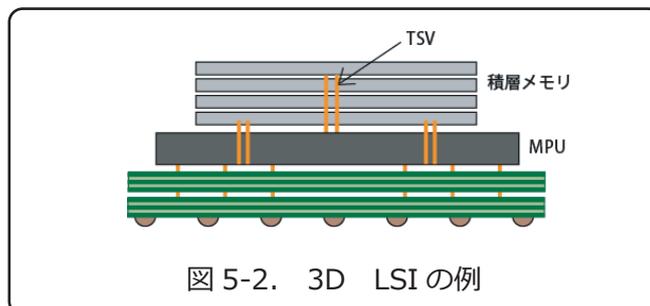


図 5-2. 3D LSI の例

(2) 2.5D LSI

パッケージ内で 2 チップ以上を平置きした LSI のこと。(2.5次元 LSI と呼ぶ)

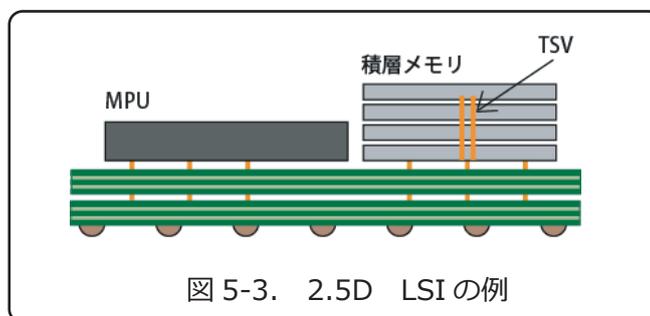


図 5-3. 2.5D LSI の例

この 2 種類の中で、パッケージ面積の増大や端子配置の難しさ、放熱の点などから、今後は 3D LSI の採用が主流になってゆくのではないかと考えられます。

これらの TSV 技術を用いたパッケージ化の普及という点で課題となるのは、チップの接続状態や動作などのテスト面になるかと思われます。

極薄チップに形成された 40μm ピッチの TSV 端子をプロービングで接触させることは技術的に難しいため、テスター・メーカーでもテスト技術の整備を急いでいるようです。

部品内蔵基板の概要

部品内蔵基板は、能動部品や受動部品の素子をプリント配線板（基板内）に埋めこみ、表面や裏面の層に対しては一般的なプリント配線板と同様に、能動部品や受動部品を実装できるようにしたものです。

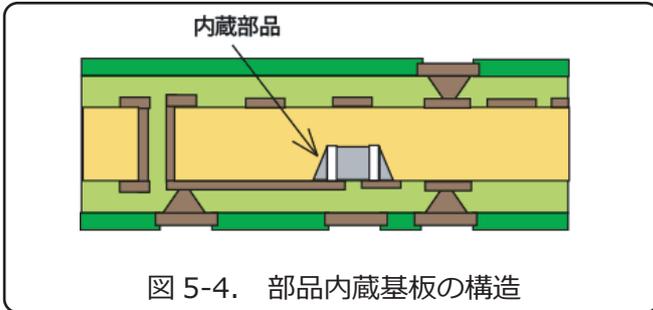


図 5-4. 部品内蔵基板の構造

表面実装に比べて部品を配置する自由度が高まるため、部品間の配線の最適化により高周波特性などの改善なども見込めます。

部品内蔵基板が登場したころは、内蔵される部品としてはチップ抵抗やチップ・コンデンサといった受動部品が主流でしたが、現在は LSI などの能動部品も内蔵される傾向にあります。

部品内蔵基板の検査

部品内蔵基板は、内蔵部品の他に基板の表裏に外付けで部品を実装できる点がメリットになります。しかしながら、外付け部品を全て実装した後に、内蔵部品の配線不良や部品自体の不良の問題が見つかるようでは、歩留まり品の増加にもつながってしまいます。

そのため、基板がベアの状態（外部に何も実装していない生の状態）で検査を行い、内蔵部品の不良を検出することが求められます。

チップ抵抗やチップ・コンデンサなどの受動部品については従来の検査装置を用いることにより、比較的容易に実現出来るのかと思います。

しかしながら、LSI デバイスなど、能動部品を内蔵した基板の検査については、色々な課題が多いように思われます。

また、品質保証を部品の埋め込みプロセスの、どの段階で行うのかなどの問題もあり、部品内蔵基板を製作しているメーカーや研究団体でも検査手段について、現在模索している段階のようです。

JTAG バウンダリスキャン テストの可能性

では、これら TSV 技術を使用した 3D LSI や部品内蔵基板の信頼性試験という点で、JTAG バウンダリスキャン テストの可能性を考えてゆきましょう。

JTAG テストでは 5 本（ないし 4 本）の TAP 信号のみが制御できれば実装検査を行うことができますので、少ないプローブポイントでのテストが可能です。

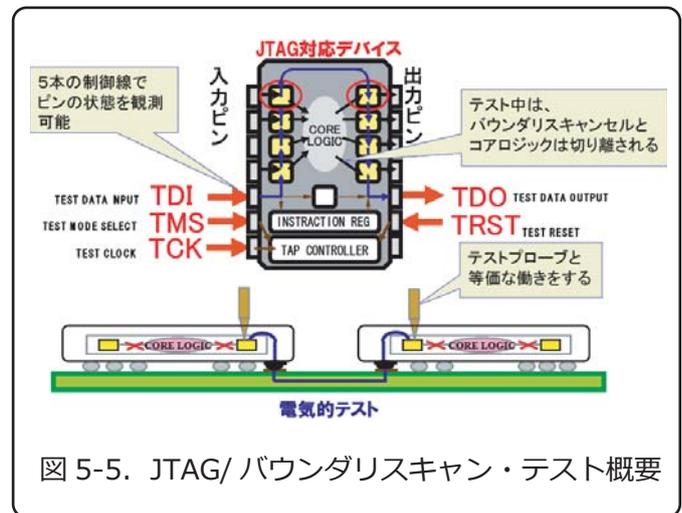


図 5-5. JTAG/ バウンダリスキャン・テスト概要

そのため、TSV 技術による LSI のパッケージ化については、LSI のパッケージのピン（端子）に TAP 信号を割り当てることでテストが可能となります。また、部品内蔵基板については、LSI デバイスを内蔵した場合でも TAP 信号の配線のみをプロービングできるようにしておくことでテストが可能となります。

ただし、それぞれの技術には課題点もあり、テスト環境などの工夫が必要となります。

3D LSI の JTAG バウンダリスキャン テスト

3D LSI に対しては、MPU(Micro Processor Unit)とメモリなどが 1 チップ化されるケースが最も多いのではないかと思います。

JTAG バウンダリスキャン テストは、ご存じのように「電氣的テスト」であり、テスト対象基板に対して電源を供給する必要があります。

MPU デバイスの場合は、複数電圧対応のケースが多く、電圧投入順序が非常に重要になります。

さらに多くの場合、リセットやクロックなどの周辺回路が正常に動作していないと JTAG バウンダリスキャン機能自体が動作しないという制限などがあります。

これらの回路をテスト装置の外部での接続によって、構成することは、ノイズや信号遅延などの影響もあり、非常に難しく、デバイス単体でテストを実現すること自体が難しいというのが課題点となります。

そのため、これらの回路が搭載されたデバイス評価用基板などにデバイスを実装した後に、テストを行おうになると思われます。

弊社で以前に体験した同様な例として、SOP (System On Package) デバイスの JTAG バウンダリスキャン テストがあります。

この SOP ではプロセッサとメモリを 1 チップ化しており、メモリ間の結線不良が多いという問題により、JTAG バウンダリスキャン テストを行う必要がありました。

この例では、デバイスの生産個数も少ないということもあり、デバイス評価基板上の IC ソケットに評価デバイスを実装することにより、JTAG バウンダリスキャン テストを実現していました。

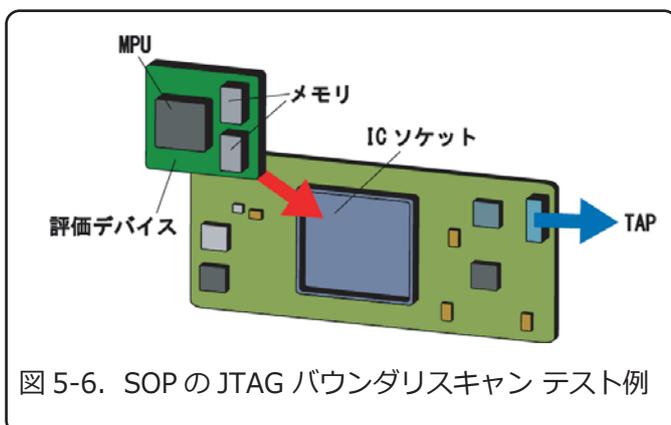


図 5-6. SOP の JTAG バウンダリスキャン テスト例

部品内蔵基板の JTAG バウンダリスキャン テスト

先に述べたように、部品内蔵基板ではベア状態でのテストが望まれます。

しかしながら、前述の TSV のバウンダリスキャン・テストについての項で述べたように、内蔵デバイスが MPU デバイスの周辺回路の点など、問題が多くあります。

そのため、バウンダリスキャンでのテストを考えると、内蔵する部品の選別がカギとなるのではないかと考えられます。

JTAG バウンダリスキャン テストでは、階層の浅いロジックやメモリ デバイスなどについての結線テストが可能です。

そのため、MPU デバイスを基板に内蔵させるのではなく、その他の LSI 部品 (たとえばメモリなど) を内蔵し、外部的にバウンダリスキャン・デバイス (たとえば空の FPGA や CPLD) を接続することで、JTAG バウンダリスキャン テストを有効利用することが、宜しいのかもしれない。

ただし、プロービング・ポイントが増加してしまうことによって、基板面積の増大にもつながってしまうため、部品内蔵基板の小型化のメリットを生かせなくなってしまいますので、これらの点について十分な検討が必要になると思います。

まとめ

これらの新技術に対しても、テストという点で色々な調査・検討が行われているようです。

JTAG を応用した標準規格も数多く増えてきているので、これらのテストでの使用などでも、今後 JTAG バウンダリスキャン テストの注目が上がってくるのではないかと思います。

< 山田 実 >

インサーキットテストを超える JTAG テストの基礎

インサーキットテストを超える JTAG テストの基本

JTAG テストは、4 本（もしくは 5 本）の信号で基板全体をテストすることができます。JTAG テストでは、幾つかのテストを組み合わせ、テスト範囲を補完してテストカバレッジを向上しています。JTAG テストでは、マイコンのプログラムや FPGA のロジックは不要であり、部品内部のバウンダリ・スキャンセルと呼ばれるシフトレジスタをパソコンから制御してテストを行います。

JTAG テスト用のテストプログラムは、JTAG テストツール『JTAG ProVision』により自動生成されます。したがって、検査カバレッジと合否判定は JTAG テストツールで自動化され、さらに故障診断まで自動化でき瞬時に基板上の故障箇所が分かります。

ングワイヤ、デバイスのピン、はんだ接合部、基板内のパターンを電気的にテストするため、物理的なピン治具を使ったテストよりも広範囲で検査しています。信頼性が求められる製品の製造現場で、多く採用されている理由です。

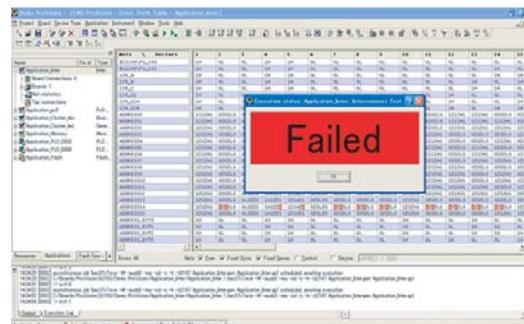


図 6-2 『JTAG ProVision』による基板テストの結果

インターコネクトテスト

インターコネクトテストは、被検査基板上の全ての JTAG 対応デバイス間のパターン、はんだ不良を検査できます。『JTAG ProVision』で自動生成されたテストプログラムにより、パソコンに接続した JTAG コントローラを介して、基板上の JTAG 対応デバイスのピンがプローブの代わりとして制御されます。インターコネクトテストでは、デバイスのピンを信号出力、信号入力、ハイインピーダンスを自動的に切り替えながらテストを実行して、パターン不良・はんだ不良箇所をピンレベルで特定できます。

合否判定と故障解析結果は、図 6-2 のように表示されるため、作業員が合否判断をすることは無く、また、JTAG テストの特徴として部品内部のボンディ

まとめ

インサーキットテストでは、ピンを立てることができず、検査できない基板が増えてきています。JTAG テストでは、わずか 4 本の信号で基板全体を検査できるテスト手法です。JTAG テストは、通電試験による正確な合否判定が得られるため、製品の品質向上を実現できます。

JTAG テストシステムは、テストプログラムが自動生成され、テスト時間も 5 秒以内で実行できるため、検査コストを大幅に削減することができます。さらに基板毎に検査治具を作り変える必要がありません。

様々な検査装置のカバーできない点を補完できるため、再び JTAG テストに大きな注目が集まっています。

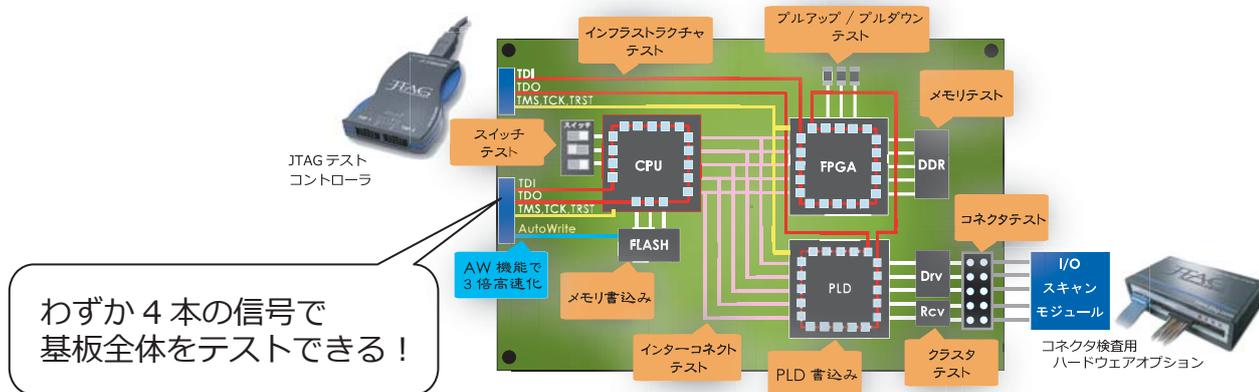


図 6-1 基板全体を検査できる JTAG テスト

最新技術で 進化しつづける 組み込みシステム開発

ANDOR

50年を越える経験と実績を生かした技術力で、様々なシステム開発を承ります

お客様の**想い**を実現します アンドールシステムサポート ビジネスチャート

当社ビジネスは以下の組み込み技術をベースとするシステム開発プロジェクトにより遂行されています

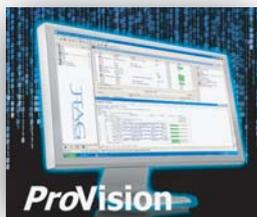


わずか5本の信号で基板全体を検査できるJTAGテストは、
「見えない・触れない」基板を **フィクスチャレスで検査** できます

業界標準のJTAGテストツール JTAG ProVision

最高峰のハードウェア JT37x7

プログラムの自動生成



29万種類以上の部品ライブラリから
テストプログラムが自動生成され、
手軽にテスト環境が整います

基板の自動故障診断



部品内蔵基板やBGA、TSV等の
「見えない・触れない」部品や
ピンのハンダ不良を検出します

汎用性の高いハードウェア



JTAGコネクタに接続するだけで
簡単にテストが開始できます
さらにオプションを追加すると
電圧測定、周波数測定が可能です

JTAG Technologies 社 日本国内総代理店



システムに挑戦する

アンドールシステムサポート株式会社

本社

〒140-0004

東京都品川区南品川2-15-8

〒553-0006

大阪市福島区吉野3-5-18

お問い合わせ先：JTAGソリューションセンター

T E L : 03-3450-7201

E-mail : jtag@andor.jp

<http://www.andor.jp>

JTAG テスト



JTAG
TECHNOLOGIES