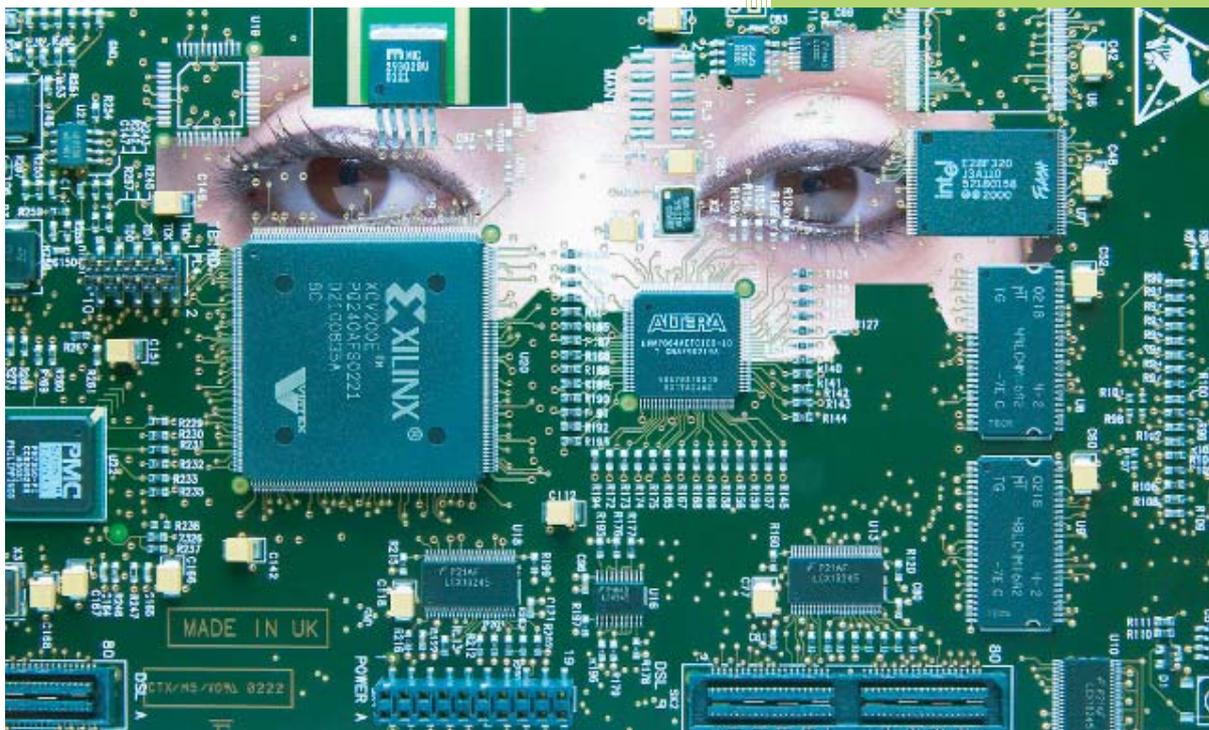


JTAG 技術レポート

2



JTAG 技術レポート Vol 7 ~ Vol 11 高密度基板の JTAG テスト容易化設計 DFT

内容

- Vol 7 : JTAG テストを実施する時のワンポイント・アドバイス
- Vol 8 : JTAG システムレベル・テストの勧め ~テスト範囲向上のための工夫~
- Vol 9 : バウンダリスキャン・テストと DFT ~テスト範囲向上のための設計 其の巻~
- Vol 10 : バウンダリスキャン・テストと DFT ~テスト範囲向上のための設計 其の式~
- Vol 11 : バウンダリスキャン・テストと DFT ~テスト範囲向上のための設計 其の参~

JTAG Technologies 社 日本国内総代理店



システムに挑戦する
アンドールシステムサポート株式会社

JTAG
TECHNOLOGIES

JTAG テストを実施する時のワンポイント・アドバイス

まえがき

JTAG テストは 5 本の信号を接続するだけで非常に簡単に実施できますが、ワンポイント工夫するとさらに、便利に使用出来ます。

JTAG ProVision で簡単に JTAG テストを実施

回路設計等のワンポイントは後述しますので、まずは JTAG ProVision で簡単に JTAG で実施できることをご紹介します。

(1) テストデータの生成について

テストデータを生成するときには、以下のファイルが必要です。

- ① ネットリスト (CAD ツールから出力します)
- ② BSDL ファイル
(多くの場合、デバイスメーカーの Web サイトから入手することができます。)
- ③ 部品ライブラリ
(ProVision は 14 万を超える部品ライブラリを用意しており、随時追加されるため、お客様自身が用意する必要はありません。)

ProVision でネットリスト読み込み後、図 2-7-1 のようにネットリスト上の各種部品に「部品ライブラリ」と「BSDL ファイル」を割り当てるだけで、簡単にテストデータが生成できます。

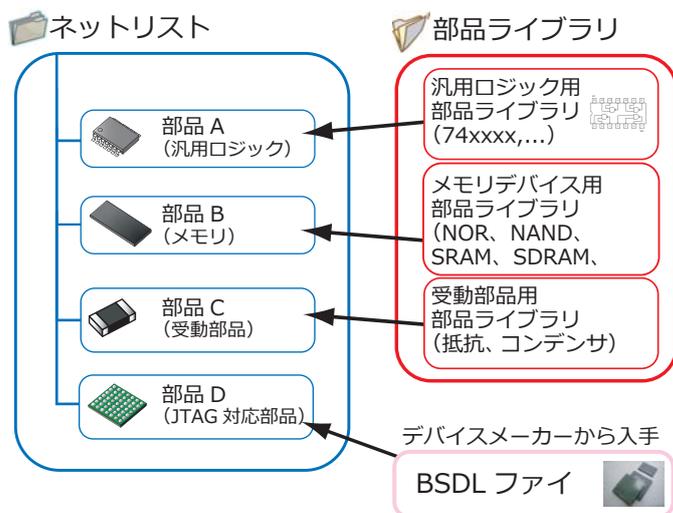


図 2-7-1 部品ライブラリの設定

(2) テストの実行、診断

テストデータができれば、ボタン一つで実行から、ピンレベルまでの詳細な故障解析が実施できます。

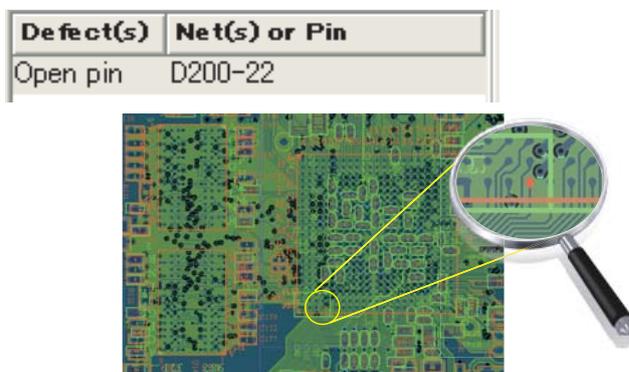


図 2-7-2 JTAG によるオープン故障検出

ボタン一つで簡単に不良箇所を検出できることに驚かれたのではないのでしょうか？

実際の基版で JTAG を使用した結果

弊社の組込み技術開発でも、もちろん JTAG を活用しています。JTAG テストの例を簡単に紹介致します。

(1) JTAG 適用基板の種類



図 2-7-3 JTAG テスト対象基板

(2) JTAG 使用結果のユーザーの声

- ① ハンダショート、実装ミスを確認に見抜けた。
- ② 不良箇所を短時間で発見でき、修理時間が圧倒的に短縮された。
- ③ BGA や極小部品は目視での確認が無理なため、JTAG テストは必須。

あとがき

いかがでしたか？ JTAG は簡単に実施できます。今回の技術レポートでは、更に使いやすくするコツについてまとめていますので、是非ご活用下さい！

< 芝野 貴成 >

JTAG システムレベル・テストの勧め ~テスト範囲向上のための工夫~

まえがき

製品の品質を上げ、テストを容易にするための設計技術として、DFT(Design for Testability : テスト容易化設計)という言葉があります。DFT 手法としては、LSI のスキャン設計や自己診断 (Built-In-Self-Test) などの言葉を良く耳にしますが、勿論 JTAG (バウンダリスキャン) テストも DFT のひとつです。
今回は、この DFT について、JTAG のシステムレベル・テストをテーマに書いてみたいと思います。

なぜ、システムレベル・テストが必要か？

皆さんが開発するシステムには、バックプレーン (Backplane) ボードなどに複数種類の基板が接続されるようなケースや、マザーボードにいくつかのドーター・ボードが接続されるようなケースなど、共通バスを使用したシステム構成が多くあるのではないかと思います。

このようなシステムでは、ボードを単体でテストする他に、全ての基板を含めてシステム的に JTAG テストを行うことで、テストカバレッジを上げることができます。



特に、PCI、PCI EXPRESS、Compact PCI、PMC、PICMG 等の PC バスには、TAP 信号 (Test Access Port ; JTAG の制御信号) が標準で搭載されていますので、これを使わない手はありません。

システムレベル・テストの悪い例

では、バックプレーン・ボードに複数種類の基板を接続して JTAG テストすることを考えた場合、単純に図 2-8-1 のような接続をすれば良いのでしょうか？ 残念ながら、これは悪い例です。

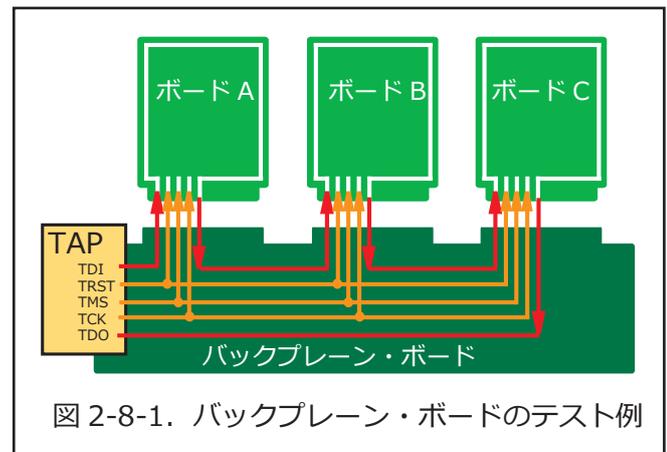


図 2-8-1. バックプレーン・ボードのテスト例

この例では、スキャン・チェーン接続 (各デバイスの TDI と TDO の接続のこと) として、基板ごとに TDI ラインと TDO ラインを個別に接続する必要がありますが、バックプレーン上のスロットごと (基板が挿さる箇所ごと) に接続が異なります。

つづいて、図 2-8-2 は 1 つの基板に不具合があった場合の例です。

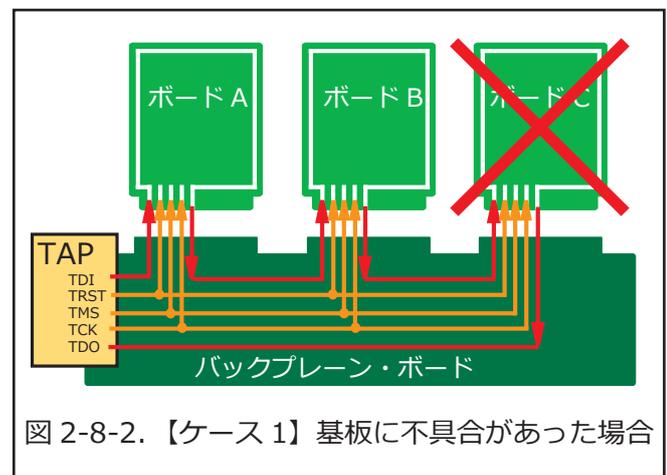


図 2-8-2. 【ケース 1】基板に不具合があった場合

このような際には、不具合基板が原因でスキャン・チェーンが分断してしまい、JTAG テストが行えないという問題が起こってしまいます。

つづいて、図 2-8-3 をご覧ください。

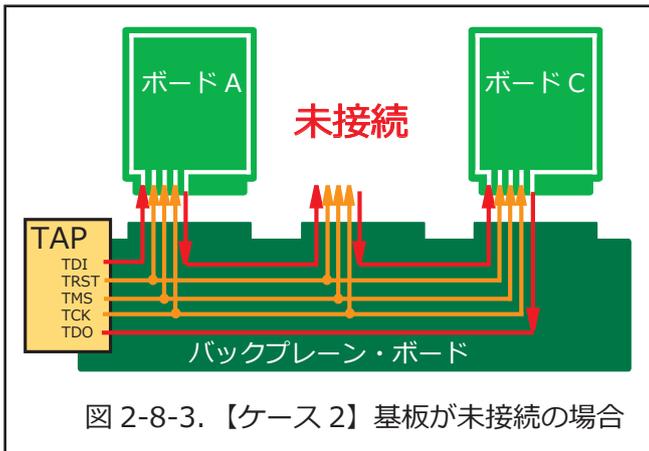


図 2-8-3. 【ケース 2】 基板が未接続の場合

バックプレーン・ボードの Slots に基板が装着されていないため、スキャン・チェーンが分断してしまい、JTAG テストが行えなくなってしまいます。最後に、図 2-8-4 は、バックプレーン・ボードに挿す基板の順番を間違えた場合の例です。

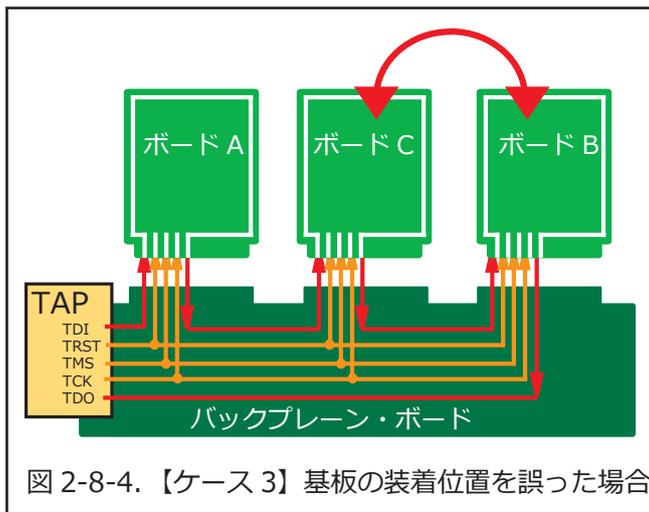


図 2-8-4. 【ケース 3】 基板の装着位置を誤った場合

異なる種類の基板を複数使ったテストの場合には、スキャン・チェーンに配置されているデバイスの順番も動作に影響します。そのため、基板を挿す Slot の順番が変わると不具合が発生してしまいます。

システムレベル・デバイス 登場！

これらの問題を回避するために、JTAG テストでは、システムレベル・デバイスを使用することになります。図 2-8-5 は、システムレベル・テストで良く使われる ScanBridge というシステムレベル・デバイスをボードに組み込んだ例となります。

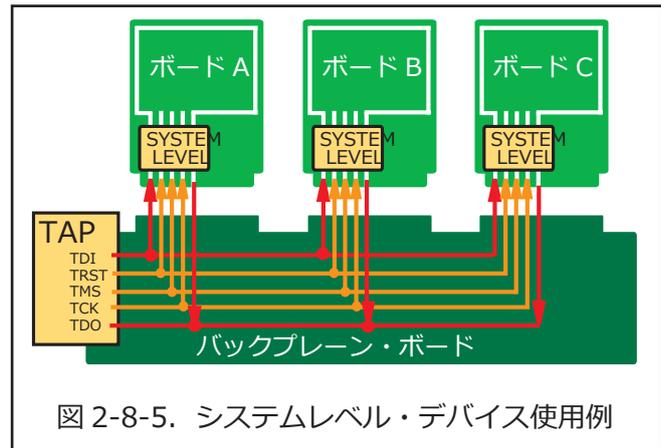


図 2-8-5. システムレベル・デバイス使用例

ScanBridge はアドレス識別機能を搭載しているため、同じバス上に複数の基板がぶら下がっていても、特定の基板を識別するマルチドロップ (Multi Drop) 接続が可能です。そのため、前の例のように各基板の TDI ラインと TDO ラインを個別に順に接続する必要がなく、基板の順番や接続状態を気にすることなく、テストを実現することができます。

また、カスケード (Cascade : 直列) 接続や階層接続なども対応可能なため、より複雑なシステムのテストが可能です。更に、TAP の結合や分離という点でも、このシステムレベル・デバイスが有効です。

システムレベル・デバイスの種類と特徴

では、システムレベル・デバイスにはどんなものがあるのか、それぞれの接続方法の特徴と使用できるデバイスについて以下に記します。

(1) カスケード接続

カスケード接続を行うには、次の①～④のシステムレベル・デバイスを使用することになります。

① ScanBridge と変種

【特徴】

アドレス識別が可能です。アドレス 0 ~ 0x3f (アドレス 3b, 3f は指定機能のため使用不可)

【デバイス】

- SCANSTA111(National Semiconductor);
3 port ScanBridge
- SCANSTA112(National Semiconductor);
7 port ScanBridge

- JTS03(IP Core,device; Fireceon Ltd);
3port Gateway device
- JTS06(IP Core,device; Fireceon Ltd);
6port Gateway device
- NPSC110F(National Semiconductor);
3port ScanBridge
- TF112(Telefunken Semiconductor) ;
7port ScanBridge
- その他 02, JTL05, JTL07, JTX05,
JTX07,JTX09 など
- その他 MSC101、G8R など

②Addressable Scan Ports(ASP)

【特徴】

アドレス識別が可能です。アドレス 0 ~ 0x3ff
(アドレス 0,3fe,3ff は指定機能のため使用不可)

【デバイス】

- SN54/74LVT8996(Texas Instruments);
1 port Addressble Scan Port
- SN54/74LVT8986(Texas Instruments);
3 port Addressble Scan Port
- LSC BSCAN-1(Lattice Semiconductor);
3 port Scan Port Addressable Buffer

③Scan Path Linker

【特徴】

アドレスを持ちません。

【デバイス】

- LSC BSCAN-2(Lattice Semiconductor) ;
4 port Multiple Scan Port Linker
- SN54/74ACT8997(Texas Instruments) ;
4 port Scan Path Linker

④Scan PathSelector

【特徴】

4つのローカル・セカンダリ・ポートを持ち、
そのうちの1つだけを接続して、アクティブに
することができます。また、アドレスを持ちません。

【デバイス】

- SN748999(Texas Instruments) ;
4 port Scan-Path Selector

(2) マルチドロップ接続

マルチドロップ接続は、次の 1)、2) の
システムレベル・デバイスを使用すること
になります。

- 1) マルチドロップ設定の ScanBridge
- 2) マルチドロップ設定の ASP

(3) 階層接続

セカンダリ (第二の) ・システム・レベル・デバ
イスの階層を通して、プライマリ (第一の) シス
テム・レベル・デバイスの両方をリンクした接続
です。次のシステム・コンフィギュレーションのケー
スがあります。

- 1) カスケード設定の階層
- 2) マルチドロップ設定の階層

システムレベル・デバイスは簡単に使える？

弊社で扱っている JTAG Technologies 社のツー
ルは、システムレベル・テストに標準対応しており、
最新版の ProVision という統合環境ツールでシステ
ムレベル・デバイスを使ったテストを簡単に扱うこ
とが可能です。

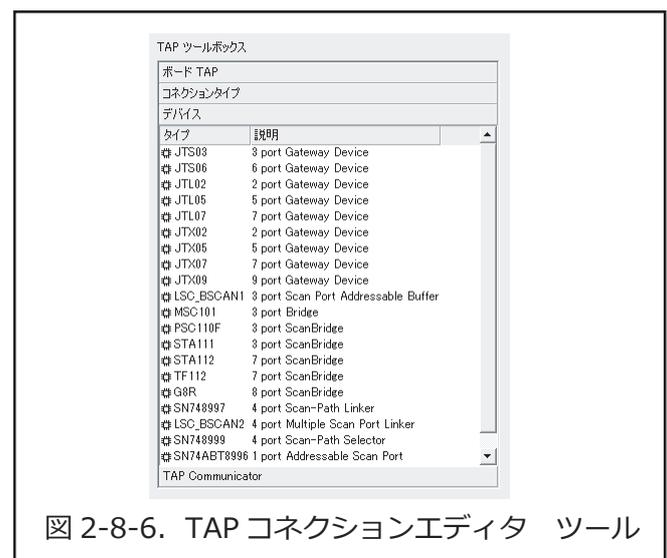


図 2-8-6. TAP コネクションエディタ ツール

また、FPGA/ c PLD の ISP(In-System
Programing) ツールもシステムレベルの書き込み
に対応しています。

あとがき

興味があったら、是非、システムレベル・テスト
にチャレンジしてください！

< 山田 実 >

バウンダリスキャン・テストと DFT

～テスト範囲向上のための設計 其の巻～

まえがき

前回、DFT(Design For Test) について、JTAG のシステムレベル・テストについてご紹介しました。

今回からは、もっと前段階のお話である、JTAG 回路設計時に陥りやすい問題点や対策方法、注意点などについて、何回かに分けて取り上げてみたいと思います。



まず、初回はバウンダリスキャン・デバイスの注意点について、お話ししてみたいと思います。

まずは BSDL ファイル入手から！

皆さんもご存じのように、JTAG テストを行なうためには、『バウンダリスキャン・デバイスを使用した設計を行なう』という前提条件があります。

このバウンダリスキャン・デバイスには、デバイス毎に、バウンダリスキャンの仕組みを定義した『BSDL ファイル (Boundary-Scan Description Language file)』という ASCII 形式ファイルがあり、デバイス・ベンダから無償で供給される仕組みとなっています。

JTAG テストを行うためには、この BSDL ファイルをまず入手する必要があります。

FPGA や c PLD などの場合、デバイス・ベンダのホームページより入手できるケースが多いようですが、ASIC(Application Specific Integrated Circuit) デバイスや特定用途向けの一部のデバイスなどは NDA 契約 (機密保持契約) をしていないと入手できないというケースもあるようです。

では、この BSDL ファイルはいつ入手したら良いのでしょうか？

.....

答えは、**「必ず！設計前に BSDL ファイルを入手する！」**です。理由としては、**『BSDL ファイルには、テスト容易化設計をするために非常に重要な情報が記載されている』**からです。



BSDL ファイル、ここを見るべし！

デバイスによっては、バウンダリスキャン機能を動作させるために「特定ピンに対して固定値を与えないとならないケース」や「バウンダリスキャン機能を使用する際に注意点があるケース」があります。

このような場合には、一般的には BSDL ファイル内に、その旨が記載されています。

まずは、次の例をご参照ください。

『attribute DESIGN_WARNING』の例

```
attribute DESIGN_WARNING of SA1110: entity is
"1.IEEE 1149.1 circuits on SA1110 are designed "&
"primarily to support testing in off-line module "&
"manufacturing environment. The SAMPLE/PRELOAD "&
"instruction support is designed primarily for "&
"supporting interconnection verification test "&
"and not for at-speed samples of pin data. "&
"2.Ensure to drive BATTFF and VDDF to logic level 0 "&
"else the chip will sleep! ";
```

この『DESIGN WARNING』というキーワードには、注意すべき点が英語の文章で記載されています。この例の場合は、「**BATTFF と VDDF 信号ピンがロジック "0" 状態でないと、チップがスリープモードに入ってしまう**」ことがわかります。

つづいて、次の例をご参照ください。

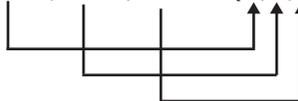
『attribute COMPLIANCE_PATTERNS』の例
 attribute COMPLIANCE_PATTERNS of
 XC2S150_FG456 : entity is **“(PROGRAM) (1)”** ;

この『attribute COMPLIANCE_PATTERNS』というキーワードには、バウンダリスキャン機能を動作させるために固定値を与えないとされないピンや値が記載されています。(前括弧内に信号名、後括弧内に与えるべき値が記載されています。)

例の場合は、「PROGRAM ピンに対してロジック**“1”**を与えないといけない」ということがわかります。複数のピンに対して処理が必要な場合は、次例のように記述します。

例)

“(PIN1,PIN2,PIN3) (1,0,1)”



PIN1=1, PIN2=0, PIN3=1 というように、値を与えます。

このように、BSDL ファイルの『attribute DESIGN_WARNING』と『attribute COMPLIANCE_PATTERNS』に注意を払うことが重要です。



プロセッサは特に注意すべし！

MPU, CPU, DSP などと呼ばれるプロセッサ・デバイスの場合は、特に以下の点にご注意ください。

(1) JTAG テスト対応の確認

プロセッサの場合、ソフトウェアやハードウェアの開発目的のために、JTAG インターフェイスを使用したデバッガ (JTAG エミュレータなどと呼ばれる製品) を使用することがあります。このようなデバッグ機能として使えるケースでも、JTAG テストには対応していないデバイスも存在します。

(2) 各種モードとバウンダリスキャン機能

プロセッサは、電源投入手順やクロック供給、リセット処理などが正しく行われていないと、正常に動作しません。また、バウンダリスキャン機能も一緒に動作しないケースがあります。

また、多くの場合は、サスペンド・モードやスリープ・モードなどの省電力機能がデバイスに搭載されているため、それらの動作モード下ではバウンダリスキャン機能も停止してしまうようです。

そのため、テスト時には、これらの動作モードに入らないように注意する必要があります。

プロセッサをテストする場合は、以下の点が回路図上でどのようになっているかをご確認ください。

- ・クロック供給
- ・リセット
- ・ウォッチ・ドッグ・タイマー
- ・サスペンド / スリープ・モード
- ・割り込み・・・



このような点は BSDL ファイルに記載されておらず、データシートの情報調べないとわからないというケースが多くあるようです。

設計時には、BSDL ファイルを入手するのと一緒に、データシートの「JTAG テスト」についての注意点を見る習慣をつけることをお勧めします。

あとがき

まず、始めの一步として、デバイスに関する注意点について説明しました。

「JTAG テストって、結構大変なのでは？」なんて、身構えないでください。

設計段階で、ほんの少し注意するだけで、今まで不良基板に悩まされてきた煩わしさを解消することができるのです。こんな便利な機能を使わずに放っておくなんて、勿体ないと思いませんか？

< 山田 実 >

JTAG バウンダリスキャン テストと DFT

～テスト範囲向上のための設計 其の式～

まえがき

前回に引き続き、今回も JTA バウンダリ スキャン・テスト (以下、JTAG テストと記載) についての DFT(Design For Test) として、設計段階に注意する点をご紹介します。

JTAG テストを行うためには、JTAG の制御信号である TAP(Test Access Port) 信号を基板外部に引き出し、バウンダリ スキャン・コントローラと接続することになります。

※バウンダリスキャン・コントローラは、JTAG テストを制御するための専用ハードウェアです。

IEEE Std. 1149.1 規格 (以下、Dot1 規格と記載) では、TAP の接続方法についての詳細は記載されておらず、基板にコネクタを実装する、テストパッドを配置するなど、接続方法はユーザーに委ねられています。しかしながら、この接続には幾つかの注意点があります。ここでは、それらについて説明します。

TAP 信号の誤動作と終端処理

TAP 信号には、図 2-10-1 のような終端処理をすることをお勧めします。

この終端処理をするのは以下の理由からです。

※ここでは、弊社が扱っている JTAG Technologies 社のバウンダリ スキャン・コントローラを元に記載しているため、他社製ツールでは抵抗値などが異なる場合があります。

(1)TDI と TMS のプルアップ

Dot1 規格では、誤動作を防止するために、TDI (Test Data Input) 端子と TMS(Test Mode Select) 端子はデバイス内部にプルアップ抵抗を搭載することを推奨しています。

バウンダリ スキャン・コントローラを基板に接続しない際に誤動作をすることを防ぐための処理です。デバイス内部のプルアップ・レベルが低いケースなどを考え、デバイス外部へプルアップ抵抗を接続することをお勧めします。

(2)TRST のプルアップ

TRST(Test ReSeT) 端子についても、Dot1 規格ではデバイス内部にプルアップ抵抗を搭載することを推奨しています。

前述の TDI と TMS と同様に、バイス外部にプルアップ抵抗を接続することをお勧めします。デバイスによっては、データシートに「JTAG テスト未使用時は、TRST 端子をプルダウン抵抗と接続する」という内容が記載されている場合がありますが、その際は、データシートに従った処理をしてください。

TRST 端子をアクティブにしないとバウンダリスキャン機能が動作しないというデバイスも存在するため、TRST 端子を持つデバイスは必ずバウンダリスキャン・コントローラと接続するような回路とすることをお勧めします。

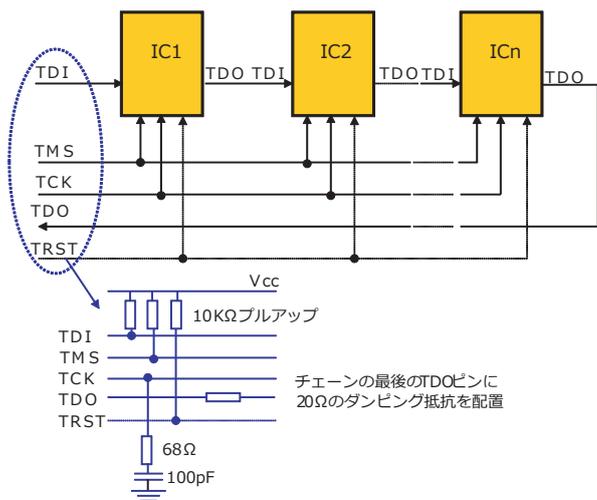


図 2-10-1. TAP 信号の終端処理

(3)TDO のダンピング抵抗

デバイスのスキャンチェーンの最終段の TDO (Test Data Output) 端子の間近にダンピング抵抗 (シリーズ抵抗) を接続することをお勧めします。これは、信号の反射を防ぐための処理です。

(4)TCK ラインの抵抗とコンデンサ接続

TCK(Test Clock) 端子には、抵抗とコンデンサを介して GND と接続することをお勧めします。これは、バウンダリ スキャン・コントローラと接続する際のインピーダンス・マッチングをさせるための処理です。

TAP 信号のバッファリング

次に、TAP 信号のバッファリングについて説明します。

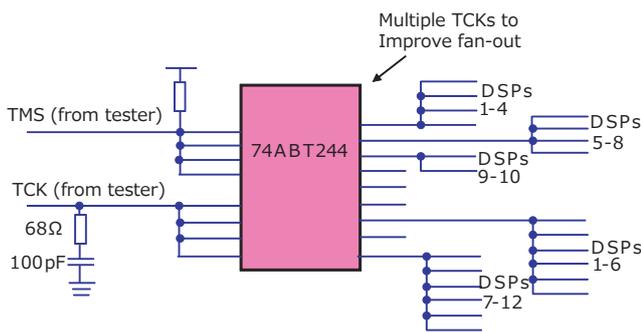


図 2-10-2. TAP 信号のバッファリング

スキャンチェーン内に幾つかのデバイスが接続されている場合には、TCK 端子と TMS 端子のそれぞれの端子は各デバイスに対して複数の接続がされることとなります。そのため、Fan-In と Fan-out の関係から、バウンダリ スキャン・コントローラのドライブ能力が足りず、正常に動作しないデバイスが発生することが考えられます。

バウンダリ スキャン・コントローラの TAP 接続ラインの直後にバッファ・デバイスを設け、各デバイスを分岐させた接続を推奨します。

TAP 信号の物理的バイパス

新規デバイスなど、使用実績がないデバイスを使う際は、そのデバイスをスキャンチェーンから物理的にバイパス出来るような回路を、試作時に組み込んでいただくことをお勧めします。

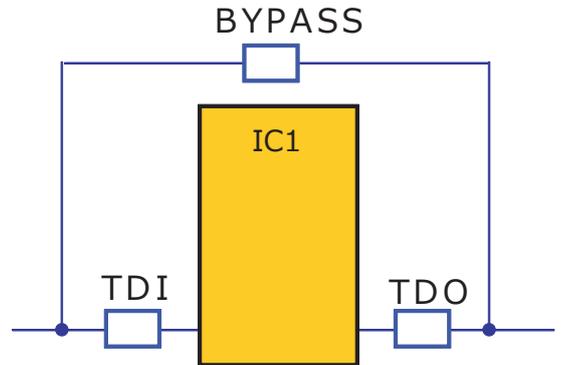


図 2-10-3. TAP 信号の物理的バイパス

図 2-10-3 の TDI、TDO および BYPASS と書いてある□印部分は、0Ω抵抗を意味しています。次のように 0Ω抵抗を実装することで、スキャンチェーン内にデバイスを含めたり、外したりすることができるようになります。

- (1) スキャンチェーンに含めたい場合
TDI、TDO は接続。BYPAS は未接続。
- (2) スキャンチェーンから外したい場合
TDI、TDO は未接続。BYPASS は接続。

あとがき

今回は、スキャン・チェーンの分断や、FPGA デバイス使用時の注意など、もう少しだけ DFT という点について書いてみたいと思います。

< 山田 実 >

JTAG バウンダリスキャン テストと DFT

～テスト範囲向上のための設計 其の参～

まえがき

前回に引き続き、今回も JTAG バウンダリスキャン・テスト(以下、JTAG テストと記載)についての DFT(Design For Test)として、設計段階に注意する点をご紹介します。

今回は、スキャン・チェーンの分離(以下、TAP の分離と表記)や、FPGA デバイス使用時の注意などについて、詳しく説明します。

MPU などのデバイスの TAP 分離

CPU, MPU, DSP などと呼ばれるプロセッサは、プログラム開発やハードウェア開発のために ICE (In-Circuit Emulator) やデバッガなどの開発ツールを接続する場合があります。

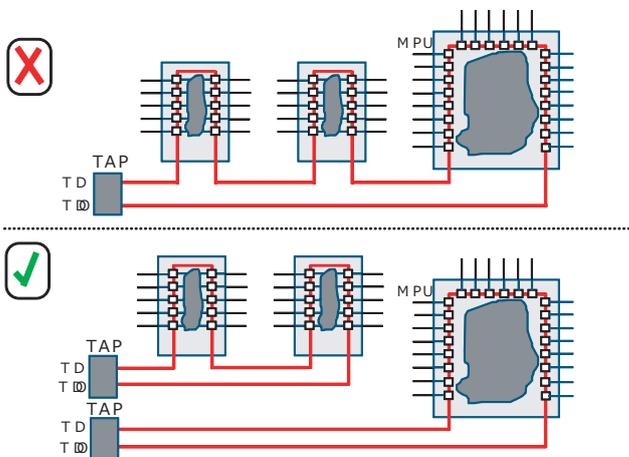


図 2-11-1. MPU の TAP 分離

これらの開発ツールは一般的にスキャン・チェーン内に他のデバイスが存在しないものとして設計されています。これらの開発ツールの使用をお考えの際は、他のデバイスと TAP を分離していただくことをお勧めします。

TCK 周波数による TAP 分離

バウンダリスキャン・デバイスは、デバイスごとに TCK 信号の周波数(以下 TCK 周波数と表記)の max. 値が異なります。

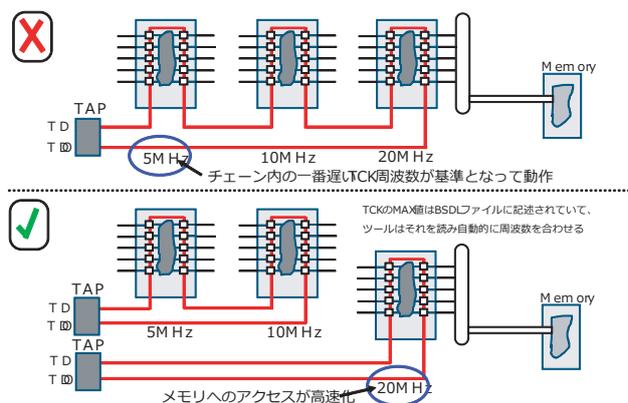


図 2-11-2. TCK 周波数による TAP 分離

図 2-11-2 の上の例のように、いくつかの TCK 周波数が存在する場合は一番遅いデバイスの TCK 周波数が基準となって動作してしまいます。Flash メモリなど大量のデータをバウンダリスキャン・レジスタを介して流す場合には、この TCK 周波数が顕著に動作時間に影響してきます。

いくら速い TCK のデバイスと接続されていても、このような接続では意味がなくなってしまいますので、TAP を分離することをお勧めします。

TAP 電圧の相違による TAP 分離

現在は省電力化などの点から、低電圧対応のデバイスを使うことが多くなってきており、複数電圧のデバイスが混在したシステムも多くなってきているようです。また、ピンの電圧が複数電圧対応となっているデバイスも多くなります。

< 山田 実 >

そのため、設計時には TAP 信号に対する動作電圧をデータシートより良く調べ、異なる TAP 電圧のデバイスは TAP を分離することをお勧めします。

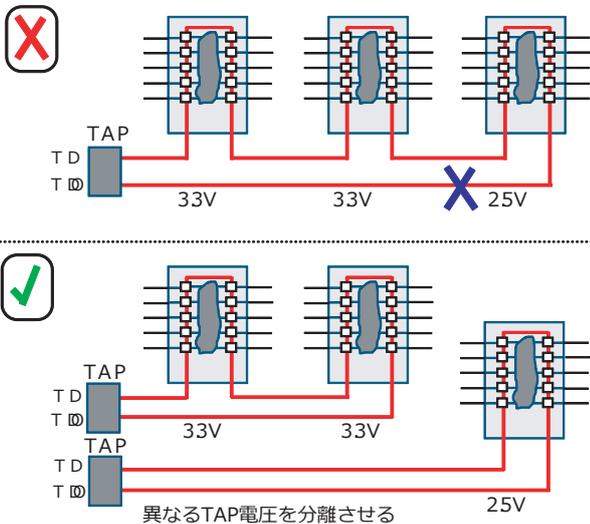


図 2-11-3. TAP 電圧の相違による分離

FPGA や cPLD のコンフィギュレーション

回路で良く使われるようになった cPLD (complex Programmable Logic Device) や FPGA (Field Programmable Gate Array) を使用する際には、内部のロジック回路の書き込みの有無にご注意ください。

これらのデバイスは、ピンを色々なインターフェイスに対応できるように設計されています。

そのため、通常のデバイスではピンの間近にあるバウンダリスキャン・セルが、コアロジック側に配置されており、書き込み回路によって変化するようになっています。

デバイス・ベンダ (デバイス・メーカー) では、電源や GND 以外のピンは I/O ピンとして、入出力セルが搭載されているとして、BSDL ファイルに記載されています。

一般的には、BSDL ファイルのヘッダ部分や先日ご紹介した『attribute DESIGN_WARNING』キーワード部分に、その旨が記載されており、ユーザーにその旨を注意として呼びかけておりますが、この内容をご

存じないケースが多いようです。

デバイスの内部回路が書かれていると、JTAG テストが正常に行えないピンが発生するという問題が生じてしまいます。

cPLD の場合は、イレーズされているデバイスをお使いいただくことをお勧めします。

また、SRAM ベースの FPGA の場合は、コンフィギュレーション動作をさせないような工夫を回路に盛り込んでいただくことをお勧めします。

下図は、物理的にコンフィギュレーション動作をさせないようにした例です。

通常動作時と JTAG テスト時で、それぞれ、ジャンパー・ピンの設定を変えることにより対応できるようにしています。

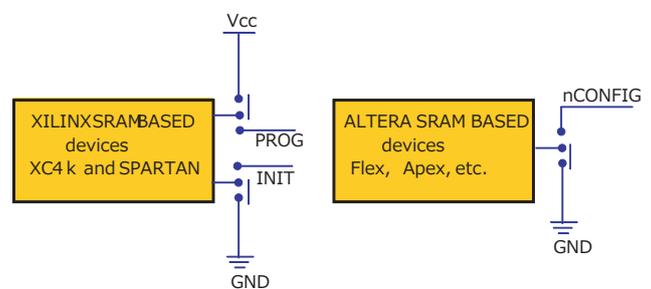


図 2-11-4. TAP 信号のバッファリング

どうしても、コンフィギュレーション動作をさせないようにできない場合は、デバイスベンダが用意している、ユーザーが設計した回路を BSDL ファイルに反映させるための、『BSDL ファイルの書き換えツール』をお使いください。以下に例を示します。

(1) ALTERA

- BSDL Customizer (Post-Configuration)
- Preconfig BSDL Customizer (Pre-configuration)

(2) XILINX

- BSDLAnno

あとがき

JTAG テストを行う際はこれらの点を参考に、回路設計を考慮することで、テスト効率が上がります。

ぜひ、JTAG 技術レポートをご活用下さい。

< 山田 実 >

JTAG Technologies 社 日本国内総代理店



システムに挑戦する

アンドールシステムサポート株式会社

本社

〒140-0004

東京都品川区南品川2-15-8

〒553-0006

大阪市福島区吉野3-5-18

お問い合わせ先：JTAGソリューションセンター

T E L : 03-3450-7201

E-mail : jtag@andor.jp

<http://www.andor.jp>

JTAG
TECHNOLOGIES