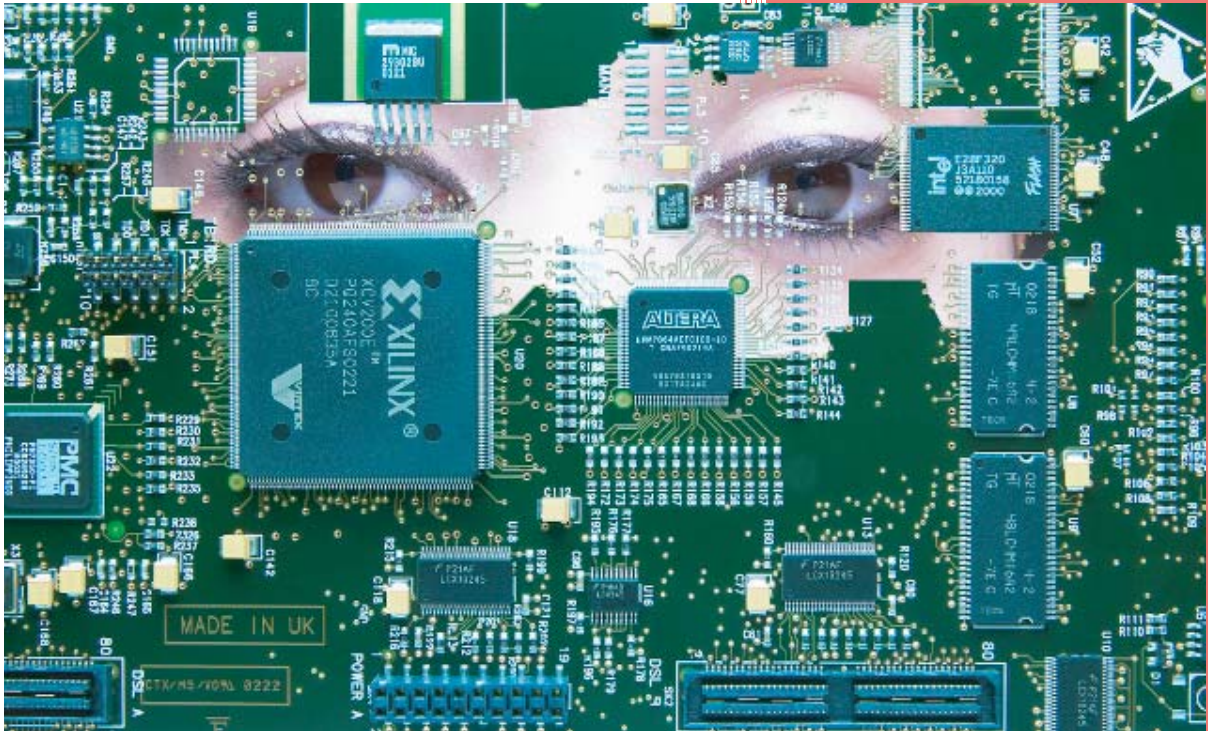


JTAG 技術レポート

4



JTAG テストシステムによる コスト削減と品質向上に役立つ 10 のヒント

内容

- | 導入効果を見極める 7 つのチェックリスト
- | インサーキットテスト検査との補完
- | ファンクションテストとの補完
- | X 線検査との補完
- | 自動外観検査 (AOI) との補完
- | JTAG テストによる開発期間の短縮
- | JTAG テストによるコスト削減

JTAG Technologies 社 日本国内総代理店



システムに挑戦する
アンドールシステムサポート株式会社

JTAG
TECHNOLOGIES

海外メーカーとの競争が激しい エレクトロニクス業界のヒント

海外メーカーとの競争が激しいエレクトロニクス業界では、製品検査のスピードと効率化が利益と開発サイクルの短縮に重大な影響を与える。今回紹介する『JTAG テスト』は、IEEE1149.1 バウンダリスキャンの技術を使ったテスト手法であり、最近増えている BGA パッケージの部品（DDR メモリ、FPGA、マイコン、DSP など）のはんだ不良によるトラブルを検査する最善の方法である。

現在、企業で使用しているインサーキットテスタ、ファンクションテスタに、業界スタンダードである JTAG Technologies 社の JTAG テストツール『JTAG ProVision』を組み込む方法と有効活用するためのヒントを紹介する。

下記のチェックリストの一つでもあてはまる方は、JTAG テスト手法の導入を検討する良い機会となる。JTAG テストを実施して、開発現場、生産現場にフィードバックすることにより、はんだ不良・パターン不良を改善できる。

JTAG テストの導入効果を見極める 7つのチェックリスト

- 故障箇所が分からず、BGA を手あたり次第に交換、リワークしている
- 検査装置を導入したが、BGA 基板の検査に十分な効果が得られなかった
- テストカバレッジを改善したいが、検査コストが負担になっている
- 故障解析できない不良基板があり、基板を廃棄している
- 検査とフラッシュメモリの書き込みを別工程で実施している
- DDR メモリのはんだ不良箇所が分からない
- 新製品に対して開発期間の短縮の要求が強い

ヒント① あらゆる部門で利益が得られる JTAG テスト

競争に打ち勝ちプロダクトを成功させるためには、将来を見据えて、製品の開発・製造・検査・故障解析のサイクルを改善できる検査手法を選択することが重要である。正しい基板検査の手法を選択することにより、企業内の設計部門、生産・製造部門、品質管理部門、メンテナンス部門などすべての部門が恩恵を受けることができる。

全部門が共通で使用できる検査装置には、テストの容易性とテストカバレッジの改善、持ち運びの容易性が求められる。製品基板上に実装されている主要部品であるマイコン、FPGA、PLD、DSP、プロセッサ、チップセットは、すでに JTAG テストを実施するためのバウンダリスキャンのロジックが内蔵されているため、図 1 のように、ほとんどの被検査基板は JTAG テストを適用できる環境が整っているといえる。

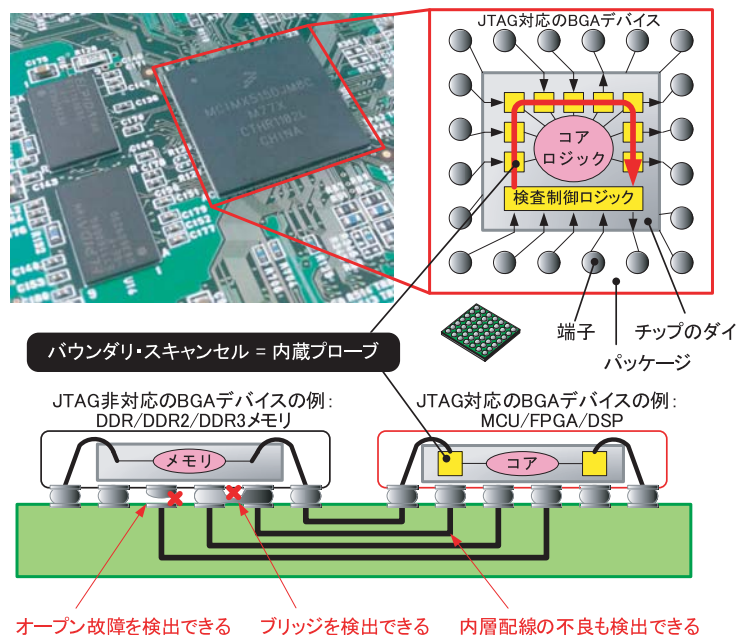


図 1. JTAG テスト対応デバイス

●国際規格の基板検査手法 JTAG テスト

このテストの仕組みは、1990 年に現在の BGA 基板を検査する目的として、IEEE1149.1 として JTAG テスト（バウンダリスキャン方式）が国際的に規格化された。JTAG テストでは基板上の主要部品を PC から制御して、通電試験・オンボードプログラミングを実施できる。特別に複雑な回路は必要なく、JTAG の 5 本の信号（もしくは 4 本の信号）のみで基板全体を検査できる容易性と広いテストカバレッジが特徴である。JTAG テストは、製品基板上のデバイス内部のバウンダリ・スキャンセルをプローブとして使うテスト手法であり、物理的なプロービングができない BGA 部品も検査できる。

JTAG テストは、製品のプロトタイプ段階から基板検査を実施する環境が整うため、設計者にとっては基板のデバッグ期間の短縮と故障解析の負担を低減できる。

また、製造・検査の現場では、検査設備のコストの削減と検査時間の短縮、さらに製品の品質を向上できる。以降の章に、生産現場と開発現場で起きている基板検査の問題点と改善策を検討するためのヒントを紹介する。

ヒント② IC パッケージの遍歴と検査容易化設計 DFT

IC パッケージは、図 2 のとおり、高密度化とピン数の増加が進んでいる。1980 年代のエレクトロニクス業界では、現在の企業が抱えている検査の問題を予測し、JETAG（Joint European Test Action Group）という団体が発足した。

1990 年には多くの企業が賛同して、JTAG テスト（バウンダリスキャン方式）を『IEEEStd1149.1 TAP and Boundary-Scan Architecture』として標準化した。エレクトロニクス業界による強力なテスト技術の標準化には、他のテスト手法の多くの欠点を克服する目的があった。

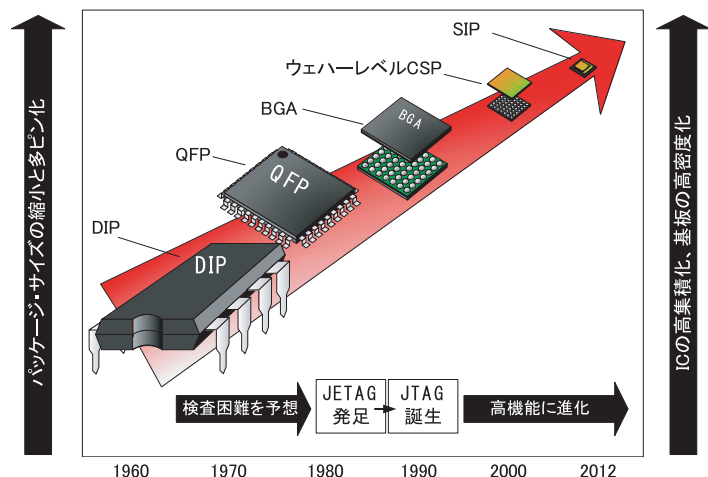


図2. ICの高集積化とJTAGテストの誕生

ICの発展により、テスト容易化設計 DFT (Design For Test) は、製品を検査する段階におけるターゲット機能の制御性と観測性を向上するために重要性が増してきている。

当初、検証は設計を検証するためのデバッグと製造上の不具合の検出を混同していた。設計の複雑さが増しても、それらを分離して取り組めばこれらのタスクはより扱いやすくなる。必要なことは設計のデバッグより前に、プロトタイプでの製造不良を検出してクリアする方法である。製品の複雑さが増すので、量産時の早期段階で不具合を検出して修理することが重要となる。そのため、多くの工場ではいくつかのステップに分けて、複数のテスト手法を使用している。

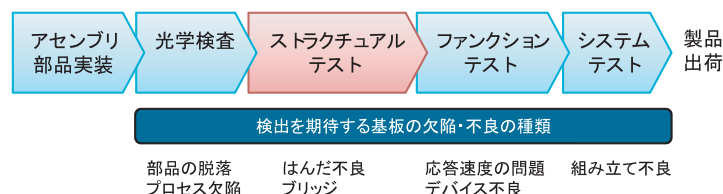


図3. 製造現場における検査フローと検出できる欠陥と不良

多くのテスト手法は、一般的に図3に示される製造工程となる。製造工程の中で、アセンブリと光学検査の後、インサーキットテストなどのストラクチャルテストがファンクションテストの前に実行される。ストラクチャルテストでは、はんだのオープン、ブリッジ、異部品の実装などを検出でき、一般的にストラクチャルテストは迅速に準備できる。また、自動化されたソフトウェアにより、検出された不具合は基板上にテストポイントが十分にあれば、非常に迅速に故障診断ができる。

ヒント③ インサーキットテストが抱える課題

長年にわたり広く使用されてきたストラクチャルテスト手法は、インサーキットテストであり、ファンクションテストの制限を補足するために開発された。インサーキットテストでは電氣的信号

が被検査基板にドライブされ、その結果がピン治具のプロープにより読み取られる。それぞれの部品に対して、製造上の不具合を検出するためのテストベクタを用意することにより、部品レベルの故障診断が可能となる。このテスト手法は、DIP パッケージ部品とスルーホールがある非検査基板に対して非常に適していた。

●BGA パッケージに対応できない

現在の生産ラインでは、狭ピッチでピン数が多い部品 (QFP、CSP、FCA など) が増え、テストアクセスは厳しく制限されるようになり、図4のようにBGA パッケージでは部品実装後にはプロービングできないため、テストに対応できない基板が増えている。

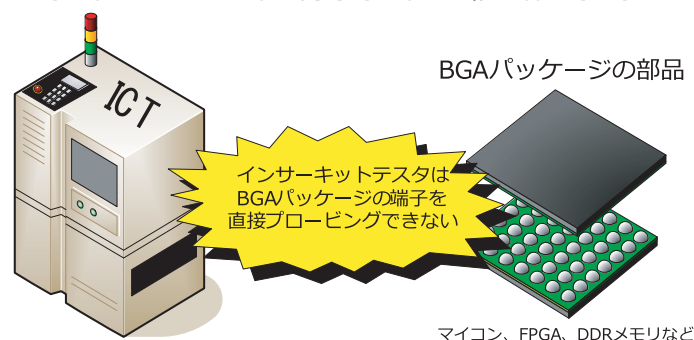


図4. インサーキットテストとBGAパッケージ部品のテスト

●非検査基板の信頼性低下とテストの信頼性

インサーキットテスト手法では、最初にピン治具が内部の回路ノードに対して機械的にロジカルにアクセスする。このロジックの侵入はバックドライブと呼ばれるが、この使用法はデバイス固有の仕様を外れるため、被検査基板の品質、信頼性において悪影響を及ぼす可能性がある。

インサーキットテストで使用するピン治具は、プローブの接触が完全ではないなどデメリットがある。現在はボードサイズがシュリンクされ、治具のピンが弱くなり、テスト結果が信頼性に欠け、直接量産コストに響いてしまう。特に工場が治具において、フラックスのビルドアップが発生する可能性のあるクリーンでないプロセスを採用している時は、信頼性の低下が著しい (表1)。

インサーキットテストの特長	
【テスト準備】 ・基板上にテストパッドが必要 ・基板の種類毎にピン治具が必要	【故障解析】 ・部品レベルでの診断結果 【テストスピード】 ・高速にテスト結果がわかる
インサーキットテストが抱える課題	
【非検査基板】 ・バックドライブにより品質が低下 ・テストパッドによるノイズ耐性悪化	【テストの課題】 ・BGA 部品をプロービングできない ・ピン接触の信頼性が低い

表1. インサーキットテストの特徴と課題

●インサーキットテストの優位性と将来性

インサーキットテストのメリットであるテスト開発のスピードと故障診断機能により、ファンクションを実施する前にできるだけ多くの不具合を見つけることが望まれる。

しかし、ストラクチャルテストで不具合の原因を迅速に判断するためには、基板上に十分なテストポイントが必要となる。現在のように基板設計と部品実装の複雑さが増し、高いレベルの検査カバレージを達成するために、新しいストラクチャルテストを検討している企業が多くみられる。

インサーキットテストは、5,000 ノード以上の能力をもつテストでテスト範囲を補っている企業もあるが、ピン治具はますます高価になり、高密度化が進む中で信頼性の問題も出ている。生産現場ではインサーキットテストの優位性があるにもかかわらず、基板の生産技術者はテストカバレージが年々減少していることを実感している。

ヒント④ ファンクションテストが抱える課題

ファンクションテストは、各企業、各製品ごと作る独自のテスト手法である。エレクトロニクス産業の初期の時代では、多くのシステムは単純な構成で部品点数も少なかった。

そのため、テストプログラムを簡単に短期間で開発でき、システムの機能テストを実施することができた。

●検査範囲、合否判定が設計者に依存する

今日でも多くの企業では、このようなシステム全体のファンクションテストを実施している。しかし、現在ではシステムが複雑になり、ファンクションテストの開発には長期間を必要とする。テストプログラムによる故障解析は、設計者に依存する独自のテスト手法であるため、検査範囲や合否判定基準は設計者に依存する部分が

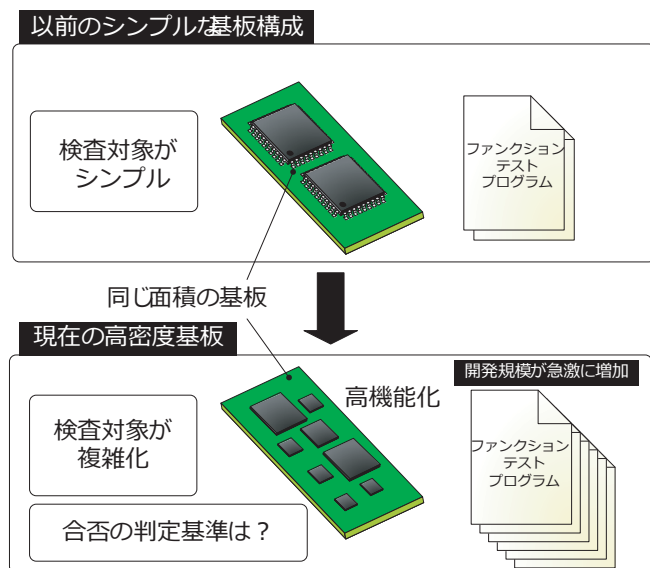


図 5. 基板の高密度化により複雑化するファンクションテスト

多く残る。また、ファンクションテストでは、故障診断が非常に難しく、故障している部品やピン番号を特定するには、設計者の情報と技術スキルが必要となる。

このような理由により、簡易的なファンクションテストを基板レベルで実施するケースがある。検査範囲の細分化によって、テスト準備と故障診断を実行しやすくなる。しかし、今日の急激な IC の集積度増加により、基板レベルのファンクションテストにおいても、システムレベルで遭遇する課題に直面している（図 5）。

●システムスピードや特殊なシーケンス下で発生する不良を検出できる

製造ラインにおいて、ファンクションテストは、ストラクチャルテストの次のステップとして実施され、動作上の問題点（システムスピードや特殊なシーケンスの下でのみ発生する問題）の不良を検出することを目的としている。ファンクションテストの特徴として、設計変更に対して対応できないことである。

小さな設計変更でさえ、苦勞して開発したテストプログラムが無駄になってしまう。その上、ファンクションテストでは、製造上の不具合に対して故障箇所を明確に特定できないため、フォルトカバレージが低い可能性がある。ファンクションテストプログラムと故障診断は、一般的には製品の設計者が用意することになる。しかし、多くの企業では設計者のリソースが不足しており、詳細なピンレベルにまで落とした故障解析は不可能であることが多い。その結果、設計者は製品のプログラムの設計、テストプログラムの設計を行い、さらに設計者が自ら故障解析を行う状況になっている。もし、修理期日が決まっている製品であれば、故障解析・デバッグする時間が取れないまま、結果としては故障基板を積み上げることになる。多くの場合、最後には基板が廃棄されて、その問題は未解決のままになり、製造へのフィードバックができないことになる（表 2）。

ファンクションテストの特長	
【テスト準備】	【故障解析】
・設計者によるプログラム開発	・機能レベルでの診断結果
・複雑なシーケンスの検査ができる	・故障解析・分析の仕様書が必要
ファンクションテストが抱える課題	
【非検査基板】	【テストの課題】
・反復修理による基板の品質低下	・詳細故障診断ができない
・基板を廃棄する可能性が高い	・故障基板を廃棄する可能性が高い

表 2. ファンクションテストの特徴と課題

ヒント⑤ 課題を解決する JTAG テストの基本と応用

JTAG テストは、図 6 のように、5 本（もしくは 4 本）の信号で基板全体をテストすることができる。JTAG テストでは、いくつかのテストを組み合わせ、テスト範囲を補完してテストカバレージを向上している。JTAG テストでは、マイコンのプログラムや FPGA のロジックは不要であり、部品内部のバウンダリ・スキャンセルと

セルと呼ばれるシフトレジスタを PC から制御してテストを行う。

JTAG テスト用のテストプログラムは、JTAG テストツール『JTAG ProVision』により自動生成される。したがって、検査カバレッジと合否判定は JTAG テストツールで自動化され、さらに故障診断まで自動化でき瞬時に基板上の故障箇所が分かる。

●インフラストラクチャテスト

基板レベルの検査である JTAG テストは、図 6 のような基板の外部に接続された JTAG コントローラから実行する。JTAG テストでは、必ずインフラストラクチャテストをテストシーケンスの最初に実行する。インフラストラクチャテストでは、スキャン・チェーンを通して、JTAG(バウンダリ・スキャン) 対応デバイスが正しい型番、リビジョンの部品であるか、JTAG 信号の断線、ショート、ハンダ不良などの不良を検出できる。JTAG テスト時に、JTAG 対応デバイスのピンから信号の入出力を行う正しく制御できるか判断するための重要なテストである。テスト方法は、JTAG 対応のデバイスの ID コード、レジスタを読み込み、期待値と比較して合否判定を行うため、テスト設計者に依存しないテスト手法である。

●インターコネクトテスト

インターコネクトテストは、被検査基板上のすべての JTAG 対応デバイス間のパターン、はんだ不良を検査できる。『JTAG ProVision』で自動生成されたテストプログラムにより、PC に接続した JTAG コントローラを介して、基板上の JTAG 対応デバイスのピンがプローブの代わりとして制御される。インターコネクトテストでは、デバイスのピンを信号出力、信号入力、ハイインピーダンスを自動的に切り替えながらテストを実行して、パターン不良・はんだ不良箇所をピンレベルで特定できる。合否判定と故障解析結果は、図 7 のように表示されるため、作業員が合否判断をすること

はなく、また、JTAG テストの特徴として部品内部のボンディングワイヤ、デバイスのピン、はんだ接合部、基板内のパターンを電気的にテストするため、物理的なピン治具を使ったテストよりも広範囲で検査している。信頼性が求められる製品の製造現場で、多く採用されている理由である。

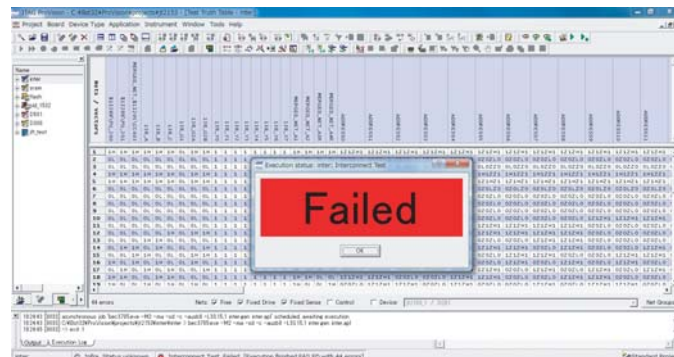


図 7. JTAG ProVision による基板テストの結果

●クラスタテスト

被検査基板上には、JTAG テスト対応デバイスと非対応デバイスが混在している。そのようなボードにおいて高い検査カバレッジを実現するためには、JTAG テスト対応デバイス間のインターコネクトテスト以外にも検査範囲を広げることが重要である。

業界スタンダードの『JTAG ProVision』では、JTAG 非対応デバイスの部品ライブラリが 14 万種類以上提供される。この部品ライブラリには、部品ごとの入出力ピン、電源ピン、GND ピンなどのピン属性とロジックの真理値表が含まれている。クラスタテストでは、この部品ライブラリを使ってテストプログラムと合否判定基準が自動生成される。JTAG 対応デバイスから実際に周辺の回路を動作させてテストを行うため、図 8 のように基板上のはんだ不良、はんだブリッジ、部品未実装、JTAG 非対応部品のボンディングワイヤ不

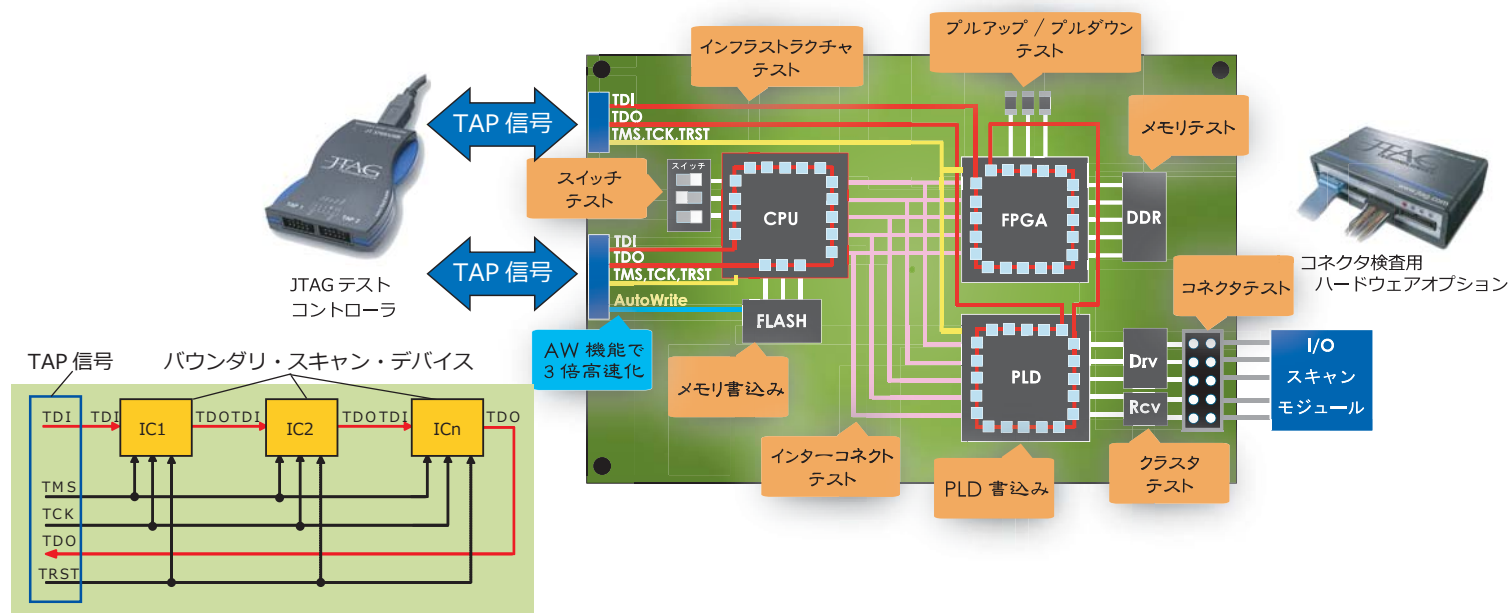


図 6. 基板全体を検査できる JTAG テスト

良など、典型的な製造不良に対するテストを容易に実行できる。
このように JTAG テストでは、JTAG テスト対応デバイスが基板上に1つしか実装されない場合でも、十分に検査カバレッジを得ることができる。

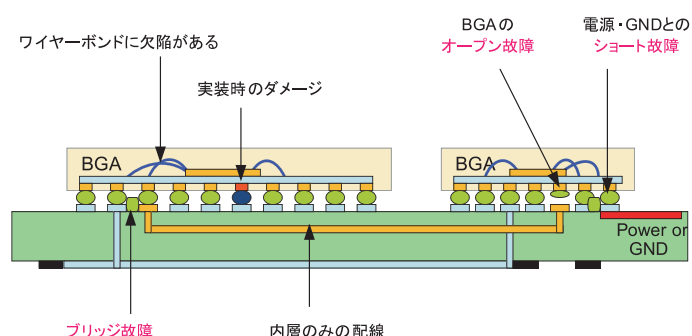


図 8. BGA 基板に潜む故障の可能性

●メモリクラスタテスト

最近特にトラブルが多い部品は、DDR メモリである。JEDEC によりパッケージの標準が BGA となり、高速信号であることから基板の内層のみでパターンが完結することが多い。JTAG テストでは、マイコン、FPGA、DSP などのデバイスがプローブとして機能するため、物理的なプローブは不要である。メモリクラスタテストを実行するためには、マイコン、FPGA のバウンダリ・スキャンセルから DDR メモリのアドレス、データ、コントロールなどの全信号を制御する必要がある。メモリクラスタテストは、基板上の SRAM、DRAM、SDRAM、FIFO などメモリに適用できる。『JTAG ProVision』では、メモリの規格ごとにモデルライブラリが提供されるため、メモリの特性に合わせたテストプログラム、故障診断用の可否判定基準が自動生成される。図 9 のように、ピンレベルで故障箇所を特定できるため、製造ロットごとの故障傾向を製造にフィードバックすることできる。

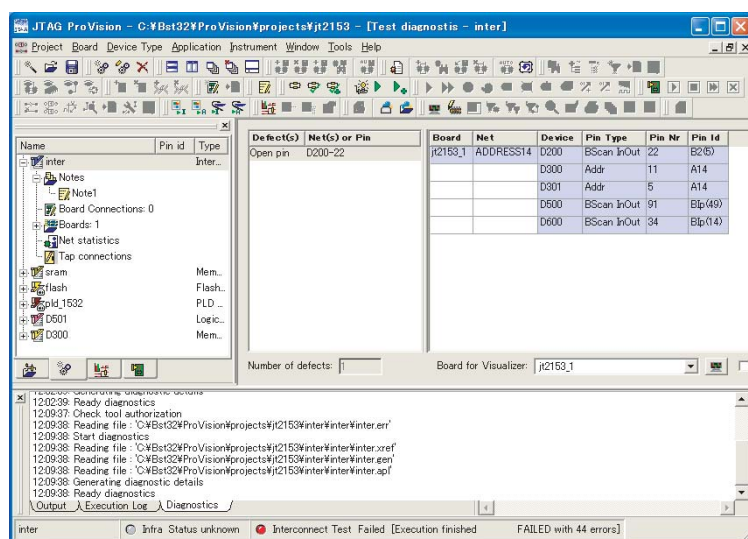


図 9. テスト診断結果 (IC-D200 の 20 番ピンがオープン故障)

●フラッシュメモリ、シリアルメモリ、PLD のオンボード書き込み

JTAG テストツール『JTAG ProVision』では、フラッシュメモリ、シリアルメモリなどの部品ライブラリが提供される。メモリに適したコマンドを考慮したプログラムが自動生成されるため、ユーザーが書き込み用のプログラムを開発する必要がなくなる。『JTAG ProVision』では、メモリへの書き込み、コンペア、消去などを簡単に実行できる。したがって、生産ラインの 1 つの工程で基板検査から製品のプログラム書き込みまで行うことができる。

●JTAG テストのシーケンス

図 10 が標準的な JTAG テストのシーケンスである。『JTAG ProVision』では、テストシーケンスの構築がドラッグ&ドロップの操作で簡単にでき、1クリックですべてのテストを実行できる。また、テスト結果のログファイルが HTML 形式で自動的に保存される。

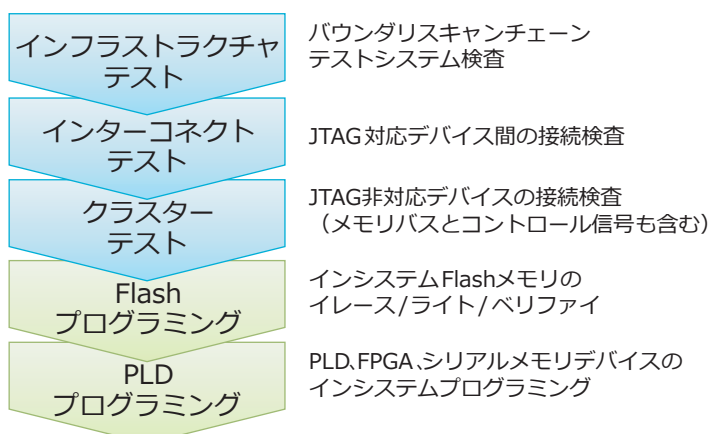


図 10. 標準的な JTAG テストのシーケンス

●JTAG テストを適用するメリット

エレクトロニクス製品の信頼性を向上させるため、初期不良はバーンイン試験のように被検査基板を高温で動作させ、初期不良にいたるまでの時間を加速し、初期不良を取り除くことができる。原因究明のためには、インサーキットテストのような量産用テスト装置を使用するケースが多くみられる。しかし、室温で検査しても不良は発生しないことが多く、バーンイン試験とは異なったテスト結果になる。

このような検査結果の違いは、はんだ接合部の弱い部分の温度感度によることが多い。高温でオープンとなるはんだ接合部は、温度低下またはピン治具の圧力により、正常な状態に戻ることもある。JTAG テストは、テストインタフェースが簡単のため、温度を上昇させた状況でもテストと診断プロセスを適用することができる。そのため、JTAG テストは、バーンイン試験の効果を格段に改善でき、市場における不良発生率を大幅に減らすことができる。

●所有している検査設備に JTAG テスト機能を追加できる

一般的なプリント基板の量産製造ラインは、十分なテストカバレッジを確保するため、いくつかの検査手法の組み合わせによる補完テストを行っている。JTAG テストを導入している多くの工場では、すでに所有しているインサーキットテスト、ファンクションテスト、フライングリードテストの装置に JTAG テスト機能を組み込んで使用している。したがって、現行の製造ラインの中で、テストの工程を新たに追加することなく、JTAG テストにより BGA 搭載基板を含む高密度基板をテストできることになる（図 11）。

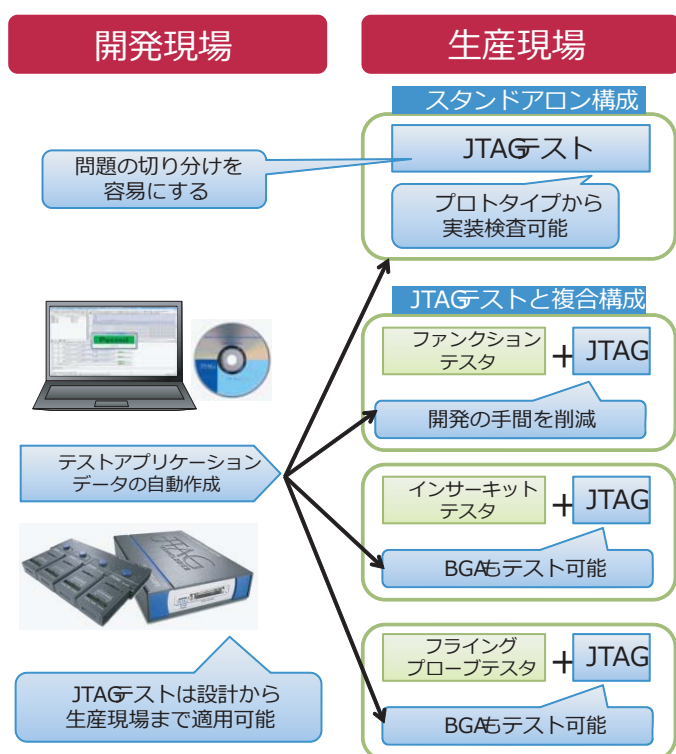


図 11. JTAG テストによる検査装置の補完

多くの実施可能なテストや検査手法（光学、X 線、インサーキットテスト、JTAG テストなど）の組み合わせの選択は、いくつかの要因（テストする製品の特徴、プロダクションスループットの要求、予想できる不良範囲）に依存する。JTAG テストは、ICT のような他のテスト手法を補完するため、その組み合わせは予測できる不具合タイプに対し、最小のコストと最大限のカバレッジで最適のテスト手法を提供できる。

しかし JTAG テストとインサーキットテストの組み合わせは、すべてのアプリケーションに対して完全なテスト手法ではない。少量多品種の生産に対しては、JTAG テストとフライングプローブテストを組み合わせるとコスト効果が大きくなることもある。もう一つは、ファンクションテストと JTAG テストの組み合わせがある。このテストシステムでは、1 つの工程でファンクションテストと

JTAG テスト、さらにオンボードプログラミングまで対応できる。

JTAG テストシステムは、スタンドアロン動作だけでなく、様々なテスト装置との組み合わせをサポートしている。アプリケーションへの移植が容易であり、工場設備に対してオフラインでテストプログラムの開発や故障診断ができるメリットは大きい。

ヒント⑥ X 線検査が抱える課題

多くの企業では、BGA 搭載基板の検査で X 線検査を実施している。X 線検査装置には、XY 平面の解析ウィンドウをもつ 2 次元の X 線検査（図 12）と Z 平面まで描写可能な 3 次元の X 線検査の 2 つのシステムがある。多くの企業が採用している 2 次元の X 線検査は、同図のブリッジ故障の画像のようなグレースケールの画像が出力される。この画像からは、BGA の 2 つのボールがショート不良を起こしていることが分かる。

複数の BGA 部品のはんだ不良を目視で検出するのは困難

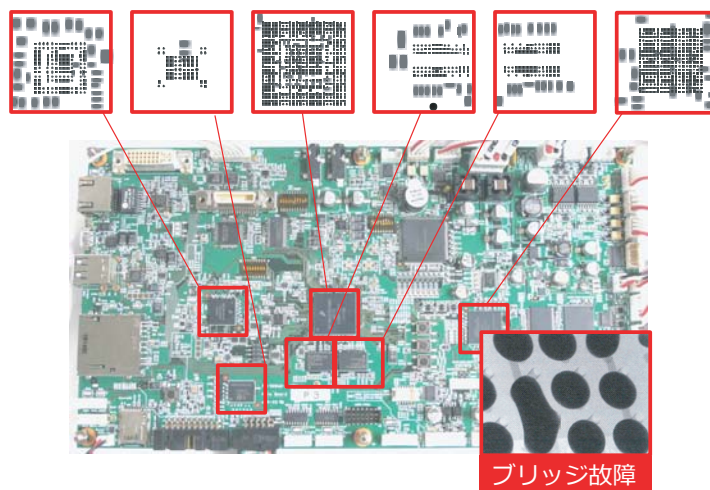


図 12. 技術者のスキルに影響される X 線検査

●X 線検査は技術者のスキルが必要

標準的な X 線検査装置では、検査担当者が目視で画像をもとに不良箇所を診断する必要があります。図 13 のようにブリッジ故障は目視検査で発見しやすいが、オープン故障は発見が困難であり、目視検査ははんだ不良を見逃してしまうなど、ヒューマンエラーの原因となってしまう。X 線検査は大規模の初期設備投資が必要であり、X 線検査結果の画像の出力と目視検査に時間がかかってしまうため、通常、はんだ不良が考えられるターゲット基板のみに絞って適用されることが多い。

●全自動 X 線検査と 3 次元 X 線検査

接合部の 100% の検査を望むのであれば、合格品の画像から自動で合否判定ができる全自動システムがある。全自動 X 線検査システムは、高い付加価値を持つ製品や高い品質を要求され、責任問題を明確にする必要があるような大量生産、少量生産混在の設備においても使用される。

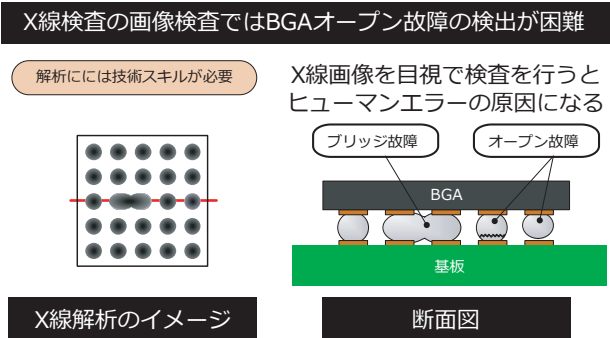


図 13. X 線検査による BGA 解析イメージ

また、BGA のオープン不良を検査するために、3 次元で X 線検査ができるものがある。断面図による検査能力をもち、はんだ接合部の面積や厚さを含むシングルサイドとダブルサイドの表面実装アセンブリを検査できる。しかし、いずれの X 線検査の画像の解析も現実には主観的なものであり、熟練した技術者のスキルが要求される検査技術である。

● JTAG テストで検査コストを削減する

X 線検査によるはんだ品質の検査は、基板の品質を保証する上で重要である。しかし、価格競争が厳しい製品の生産ラインでは、検査コストを削減するために、量産基板の全数に対して X 線検査は実施されていないことが多い。量産する製品の品質を維持し、検査コストを削減するために、JTAG テストを導入する企業が増えている。

JTAG テストは検査時間が短く、設備コストが大幅に安価になり、量産時の全数検査に適用できるようになる。さらに、JTAG テストは通電試験であり、検査技術者のスキルに影響されことなく、確実にはんだ不良を検出することができる。JTAG テストを導入している企業では、JTAG テストを使い故障箇所を特定した上で、不良基板を X 線検査、3 次元 X 線検査で故障解析を行うケースが多い。

このようにして、量産時の検査コスト削減と製品の品質を向上することができる (表 3)。

X 線検査の特徴	
【テスト準備】	【故障解析】
・技術者のスキルが要求される	・主に検査担当者の目視検査
	・BGA のブリッジ故障が分かる
X 線検査が抱える課題	
【被検査基板】	【テストの課題】
・BGA のオープン不良特定が困難	・大規模な設備投資が必要
・検査範囲が限定される	・検査に時間がかかる
	・電氣的に通電を保証できない

表 3. X 線検査の特徴と課題

ヒント⑦

自動外観検査が抱える課題

自動外観検査 (AOI) はリフロー前、リフロー後の段階で部品の未実装や実装不良の検査をするための製造プロセスにおいて、何年も前から使用されているテスト手法である。理想的にはリフロー後

の自動外観検査は、製造ラインの不良ゼロを実現できるスタティクなプロセス制御技術の一因となりうる。ただし、外観検査ははんだ接合部の表面部分の観察しかできないため、BGA パッケージなどの外観検査では見えないはんだ不良などの不具合は、X 線や JTAG テストのようなテスト手法を用いないと検出することはできない。

自動外観検査は、正しい部品が実装されている基板の画像を基準として、検査対象の基板の画像とのグレースケール相関により比較検査を行う。しかし、図 14 の検査画像のとおりに描写された背景色の場合、グレースケール相関で問題が発生する可能性が高く、検査結果としてこの画像はエラーと判断されてしまうことが考えられる。

しかし、エレクトロニクス業界で要求される自動外観検査の検査スピードと画像の鮮明さの改善により、ベクターイメージング計測技術と呼ばれる新しいソリューションが現れた。これはハイスピードの量産ラインで、プリント基板の検査をより詳細に検査できる。ベクターイメージング計測技術は、形状位置の検索技術であり、グレースケール画素の観察よりむしろ幾何学的特徴の抽出に基づいて計測される。したがって、幾何学的な特徴を使用するため、画像解析時の色の違いや製造誤差のようなサイズの影響を受けない (表 4)。



図 14. 自動外観検査の検査画像

自動外観検査の特徴	
【テスト準備】	【故障解析】
・サンプル基板を良品として登録	・誤部品、はんだ不良を検出できる
	・検査者のスキルに影響されない
自動外観検査が抱える課題	
【被検査基板】	【テストの課題】
・BGA 部品を検査できない	・電氣的な通電を保証できない
・スルーホールを検査できない	・目に見えない不良が分からない
・基板の内層を検査できない	

表 4. 自動外観検査の特徴と課題

ヒント⑧

検査を補完する JTAG テスト

ストラクチャルテスト手法において、BGA 搭載基板に対するピンによるアクセスの問題を解決するため、バウンダリスキャン方式の JTAG テストが IEEE1149.1 として規格化された。その後、多くのシリコンベンダが IEEE1149.1 に準拠したデバイスを数多く供給したため、JTAG テストは多くの企業に広まった。現在では、マイコン、FPGA、DSP、チップセットなど、非常に多くのバウンダリスキャン対応デバイスが供給され、世界中の生産ラインで日常的に基板検査とインシステムプログラミングのために JTAG テストが使用されている。

● JTAG テストに対応しているデバイス

JTAG テストに対応するデバイスは 5 本 (もしくは 4 本) のテストアクセスポート (TAP) の信号と各ピンの内部にバウンダリスキャン

ンセルが内蔵されている (図 1)。また、JTAG テストを実行するために、バウンダリスキャン機能のレジスタとコアロジックとのマルチプレクス回路をもっている。シリコンベンダは、デバイスごとにバウンダリスキャンの内部ロジックを記述した BSDL (バウンダリスキャン記述言語) ファイルを提供している。

●課題を解決する JTAG テスト

JTAG テストは、表 5 の特徴があり、様々な手法の検査と組み合わせ使用されている。前述したように、基板の不具合のすべてを網羅できる万能の検査手法はなく、いくつかの検査装置を組み合わせることで目的に合わせた最良のテストシステムを構築する必要がある。

JTAG テストの特徴	
【テスト準備】 ・ 低価格な検査システム ・ テストプログラムが自動生成 ・ 基板の種類ごとにピン治具が不要	【テストスピード】 ・ 高速にテスト結果が分かる 【故障解析】 ・ ピンレベルでの自動故障診断 ・ 複雑な基板における広いテスト範囲
JTAG テストが抱える課題	
【被検査基板】 ・ 設計者がテスト容易化設計 DFT を行うとテストカバレッジが広がる	【テストの課題】 ・ アナログ JTAG 対応部品が少なく、アナログ値の検査ができない

表 5. JTAG テストの特徴と課題

ヒント⑨

JTAG テストの応用事例

JTAG テストを行うためには、バウンダリスキャン対応デバイスがボード上で使用されている必要がある。シリコンベンダの多くの主要デバイスには、バウンダリスキャンがすでに組み込まれているので問題はない。しかし、基板上には、バウンダリスキャン非対応のデバイスが多くあり、これらは JTAG テストでダイレクトに制御することはできないが、DDR メモリなどのデバイスはバウンダリスキャン対応のデバイスからアクセスすることにより検査できる。このように、テストカバレッジを上げるために、すべてのデバイスがバウンダリスキャンに対応している必要はない。この例のように、基板上に 1 個でもバウンダリスキャン対応のデバイスがあれば、JTAG テストを実行できる。

●シンプルな JTAG テストの回路

バウンダリスキャン対応デバイスは図 6 に示す単純な回路と TAP 信号に終端処理が必要となる。TAP 信号との接続には、コネクタもしくはフィクスチャが利用できる。JTAG ICE や JTAG ダウンロードケーブルを利用する基板では、回路構成をそのまま活用できる。またデバイスによっては JTAG テストのモードに切り替えられるように、BSDL ファイルに記載されている端子処理が必要になる (詳細は JTAG 技術レポート 2 号を参照)。 JTAG テスト実行時には、PC にインストールされた JTAG テスト用のソフトウェア『JTAG ProVision』で自動生成されたテストプログラムが、JTAG コントロー

ラ (USB、イーサネット) から基板上のバウンダリスキャンデバイスをコントロールしてテストが実行される。

●短期間でテスト環境が整う JTAG テスト

JTAG テストを使わずに、複雑な検査基板を検査するためには、生産技術者は数週間の時間をかけてテスト環境を構築している。しかし、JTAG テストによる量産試作基板のテストとデバッグは、数日から 1 週間ほどでデバッグまで完了できる。

業界標準の JTAG テストソフトウェア『JTAG ProVision』では、14 万種類を超える部品モデルが用意されているため、基板のロジック機能を熟知する必要がなく、テストプログラムの生成から故障解析まで自動で行われる。したがって、ストラクチャード不良を抽出するための少量多品種のテストは製造要員でも可能である (図 15)。

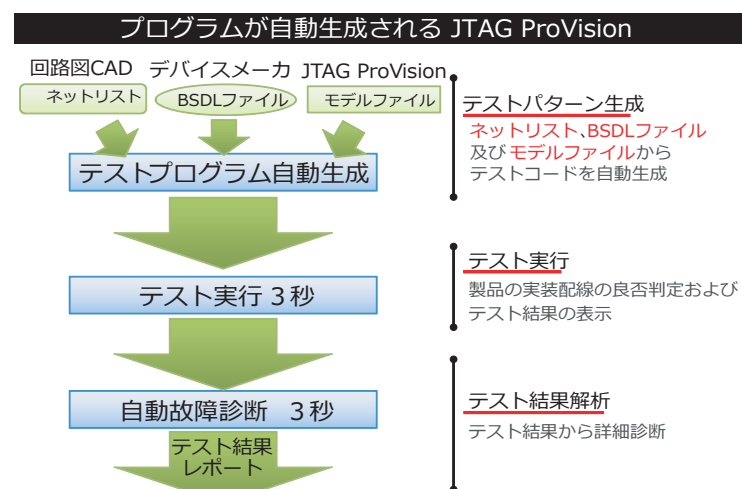


図 15. JTAG ProVision を利用した検査完了までの流れ

●JTAG テストのテストカバレッジ

JTAG テストのテストプログラムが自動生成されると、図 16 のように回路 CAD 上に JTAG テストのカバレッジが色分けして表示される。ここでマーキングされない回路は、JTAG テストの範囲外になるため、従来の検査システムで補完して検査範囲を拡大すればよい。したがって、今までインサーキットテスト、ファンクションテストですべての回路をテストしている企業にとっては、JTAG テストでカバーしている範囲が広いほど、検査の準備時間を大幅に減少させることになる。JTAG テストはプログラムが自動生成されるため、設計者と検査担当者の作業コストを大きく削減できる。



図 16. JTAG ProVision のテストカバレッジ検証ツール

●少量多品種でもコスト効果が出る JTAG テスト

JTAG テストは、将来の高密度基板に対するインサーキットテストで予測されるピンアクセスの問題を克服するために開発された。JTAG テストは被検査基板へのアクセスが簡単であり、テスト準備の容易さ、テストツールが安価であり、テスト基板が変わっても同じツールが使えるため、試作基板や少量生産の製造不良に対しても効果を発揮する。図 17 のように、生産する機種ごとにテストシーケンスを作成し、試作の段階から量産まで同じテストシーケンスを使うことができる。検査担当者は 1 クリックですべてのテストが完了し、検査ログが HTML 形式のファイルで自動保存される。

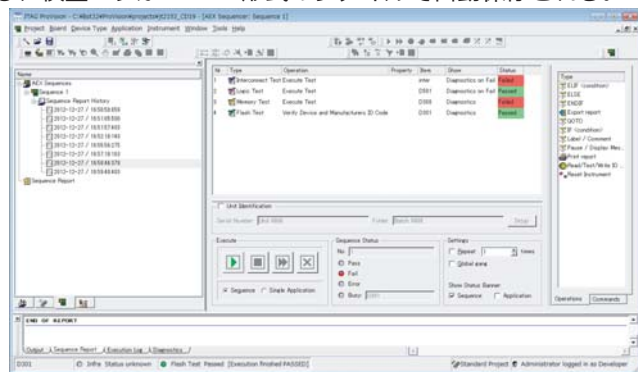


図 17. 量産工程で活用できるテストシーケンス

●インシステムプログラミングのメリット

JTAG テストシステムの拡張機能に、インシステムプログラミングの機能があり、基板上のフラッシュメモリ、シリアルメモリ、PLD、FPGAなどを JTAG テストシステムから書き込むことができる。JTAG ProVision では、プログラミングするメモリの部品ライブラリを選択すると、自動的にメモリ制御用のプログラムが生成される。インシステムプログラミングには、表 6 の通り多くのメリットがある。

表 6. インシステムプログラミングのメリット

1. プロトタイプ時には、書き込み用のソフトウェア開発前に JTAG テストシステムからメモリにアクセスできる。
2. 1 工程で製造不良の検査とメモリ、FPGA の書き込みができ、オペレーションのコストを削減できる。
3. 生産ラインの中において、出荷プログラミングの削除と最新のプログラムへの書き換え、プログラムのカスタマイズができるようになり、在庫管理とハンドリングを簡略化できる。

ヒント⑩

利益を生み出す JTAG テスト

JTAG テストによる様々な部門の利点は、企業に堅実な利益を導き出す。製造プロセスの改善により、結果として製品化までの期間の短縮、設備投資の削減、設備所有者のコスト軽減が実現できる。

●製品化までの期間短縮

製品化までの期間短縮による利益面での重大な恩恵は、様々な研究の中で論文化されている。1 つの調査結果では、平均して 6 ケ月製品出荷が遅れると、利益は 33 % のロスとなる。しかし、製品開

発コストが 50% アップしても、利益の減少はわずか 3.5% になる。競合が多いマーケットにおいて、製品投入が早ければ早いほど、製品寿命は延び、その結果、投資に対するリターンが大きくなる (図 18)。

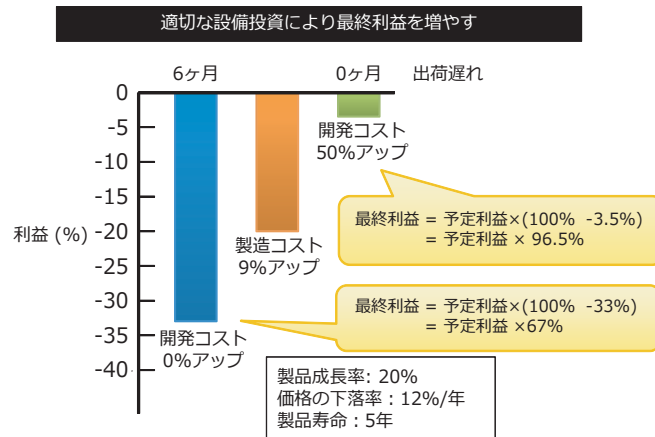


図 18. 製品化までの期間と利益

●コンカレントエンジニアリング

企業経営者は、新しい製品を望ましい価格で、望ましい時間に、望ましい生産を行うために、コンカレントエンジニアリングを導入する責任がある。コンカレントエンジニアリングとは、設計段階から製造段階の検討を並列して行うことにより、設計の最終段階で大幅な再設計を避ける開発手法である。結果として、設計者が費やしている余分な時間を短縮でき、重要なライフサイクルのコスト削減が実現される。JTAG テストは、製品開発に対するコンカレントエンジニアリングのアプローチに最も適合しているテスト手法の 1 つである。テストエンジニアリングの効果は、製品の開発段階から製品寿命までテスト可能であることを保証できる。

●製品化までの期間を劇的に短縮できる

JTAG テストを導入したテスト容易化設計 DFT により、製品を検査するための複雑なファンクションテストのプログラム開発は不要になり、テストカバレッジの向上やピンレベルの故障診断が可能となる。さらに、ファンクションテストの長期間のデバッグ作業や無駄なリワークサイクルを避けるのに役立つ。従来手法の検査工程では、BGA の故障個所の特定が困難であり、製品の開発・製造サイクルにフィードバックすることが難しい。しかし、図 19 の JTAG テストを導入した検査工程では、製品の開発から生産までの様々な場面で検査結果をフィードバックできることが分かる。

これまでの国内導入実績と経験から、JTAG テストがテストカバレッジとテスト開発サイクルタイムを大きく改善でき、製品化までの期間を劇的に短縮していることが分かる。

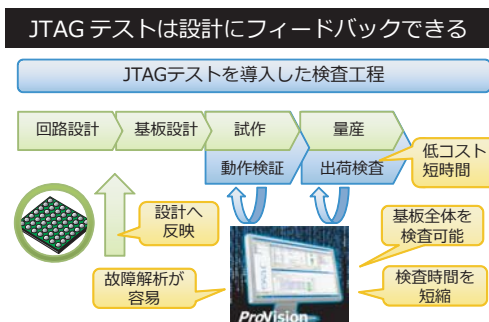


図 19. JTAG テストを導入した検査工程

●試作基板をデバッグする期間を短縮する

試作基板のデバッグ時には、バグの要因として、はんだショート、オープン、パターン不良のような製造不良と設計ミスが混同している。しかし開発時には、専用のテスト装置や特殊な検査治具への投資は、プロトタイプ段階の暫定的な性質があり、最小限に限られてしまう。結果として、試作基板のデバッグは、不良検出や故障診断が難しく、問題切り分けのために特殊なファンクションテストプログラムを開発して実施している。そのため、デバッグのために開発者がプログラムを開発するなど、新製品を開発するためのリソースが浪費されている現状がある。JTAG テストは、この状況を大幅に改善できる。設計者は、回路設計が終わるとすぐに JTAG テストの検査環境を手間がかからずに短時間で準備できるため、試作基板のデバッグ前にテストを実施して、物理的な不良を取り除くことができる。このメリットは、特にシステムが複雑で、試作基板を多数製作する大規模なシステムの設計に有効であり、製品実現化までの期間の目標達成に大いに貢献できる（図 15）。

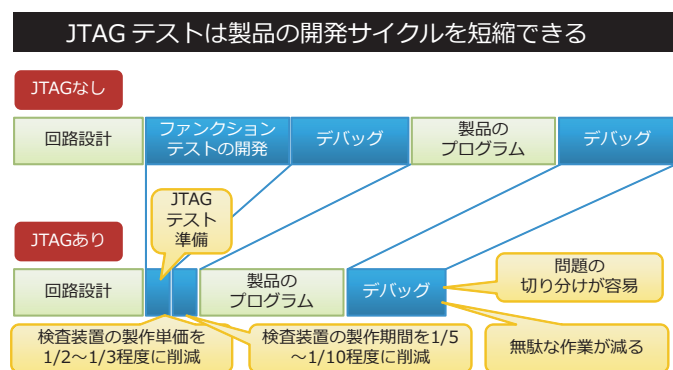


図 20. JTAG テスト導入による開発サイクルの短縮

●JTAG テストによるコスト削減

工場における量産立上げ時のトラブルによる遅延は、新製品の決められたリリース日を遅らせる重要な問題である。トラブルの解決には、設計者の支援が必要になるが、それは少なくとも以下の 2 つの観点から能率的ではない。

- ①設計者の専用テスト環境は、量産ラインには適さない
- ②設計者を製造のサポートに向けることは、製品開発の本来の役割に影響を与え、他の新製品のプロジェクトが遅延するさらにそのような作業方法は、高い品質を保証できず、予算オーバーを導くことになる。これまで紹介したように、JTAG テストを適用することにより、試作基板が完成する前にテストプログラムが自动生成でき、設計者のデバッグ期間を大幅に削減できる。また、

表 5. 製品開発サイクルを短縮する JTAG テスト『 JTAG ProVision 』

- 試作基板の物理的な不良を無くし、デバッグが迅速に行える。
- 優れたパターン生成ツールによる開発期間の短縮できる。
- テストカバレッジを可視化でき、基板のレイアウトを最適化できる。
- インサーキットテスト治具を削減し、生産ラインを迅速に立上げる。
- ピンレベルの自動故障診断により、修理時間を削減できる。

設計者が生成したテストプログラムは、そのまま生産ラインで利用できるため、生産技術者の負担は大幅に軽減でき、高い品質を保証できる（表 5）。

●確実に効果がでる設備投資

業界スタンダードの JTAG テストシステム『JTAG ProVision』は、回路 CAD から出力されるネットリストから JTAG テストパターンを自动生成し、自動的に故障解析することができる。また、故障箇所は、プリント基板のレイアウト CAD 上で示されるため、修理時間を短縮することができる。この設備投資は、設計サイクル、生産ラインに対して直接よい影響を与える。

JTAG テストの導入は、特に製品ライフサイクルの量産段階で検査に対する投資をより削減することができる。コスト削減には 3 つの要因がある。

- ①JTAG テストシステムは従来のインサーキットテストより大幅に安価である
- ②高価な治具が不要になり、テストできる基板の種類を増やすことによりコストを軽減する
- ③故障解析の時間短縮により、テストの台数を削減でき、工場のテスト 1 台あたりの稼働率が上がる。

まとめ：『企業の成長に繋がる JTAG ProVision』

多くの企業では、量産検査の準備期間が大変短く、従来のファンクションテストやインサーキットテストでは、量産開始までに供給が間に合わない、もしくは生産の初期では十分なテストカバレッジが取れないまま生産されることがある。検査が不十分のため製品の品質は低下し、顧客の期待と企業のブランドネーム、そして保守・修理費用におけるデメリットの影響は、長い目で見た企業の成長に対し大きな損害を被ることになる。 JTAG テストでは、生産ラインの立ち上げ前にテストの準備が整うため、生産の初期の段階から高いテストカバレッジが保証される。また、設計者、生産技術者は、JTAG テストによりテスト準備の時間や故障解析の時間を削減でき、本来の開発、検査の業務に集中できる環境が整うため、新製品の品質は高いものになる。このように、企業の未来を担う新製品の高い品質と信頼性を改善でき、顧客の期待に応えられるため、JTAG テスト手法の業界スタンダードである『 JTAG ProVision 』は企業の成長に繋がる。

表 6. JTAG テスト導入による利益（お客様の事例より）

● テストプログラム準備時間	1 カ月	→	1 日
● テストデバッグ時間	10 日間	→	5 時間
● ピンカバレッジ	40%	→	95%
● 故障切り分け時間	1 時間	→	5 分
● テスト保守、サポート時間	30 分 / 月	→	5 分 / 月
● 試作基板のテストカバレッジは	90%あった。		
● ピンレベルの自動故障診断により、	修理時間を削減できた。		

JTAG Technologies 社 日本国内総代理店



システムに挑戦する

アンドールシステムサポート株式会社

本社

〒140-0004

東京都品川区南品川2-15-8

〒553-0006

大阪市福島区吉野3-5-18

お問い合わせ先：JTAGソリューションセンター

T E L : 03-3450-7201

E-mail : jtag@andor.jp

<http://www.andor.jp>

JTAG
TECHNOLOGIES