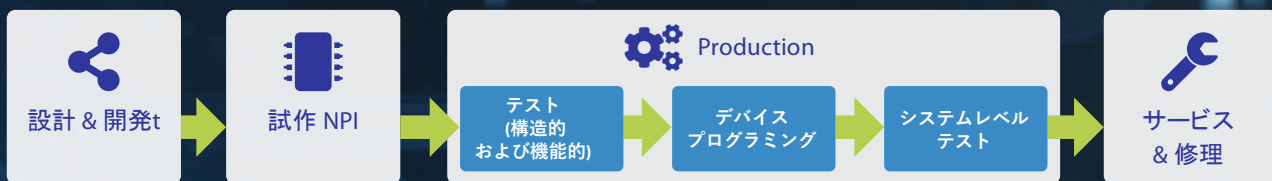


JTAG/バウンダリスキャンとは？ IEEEスタンダード 1149.1のテストの仕組み



バウンダリスキャンは、現在および将来の最新の電子アセンブリにおけるテストおよびプログラミングの課題を克服するための優れたテクノロジーであると信じています。製品ライフサイクル全体で使用される当社の強力な実績のあるソリューションは、製品の品質を強化し、投資を最適化し、市場投入を早め、コストを節約します。



設計



製造



サービス

イントロダクション

JTAG または IEEE Std.1149.1 と呼ばれるバウンダリスキャンは、今日の集積回路 (IC) の多くに組み込まれている特別な組み込みロジックへのアクセスを可能にするシリアルインターフェイスです。

JTAG/バウンダリスキャンは、電子プリント回路基板アセンブリまたは PCBA の製造上の欠陥を迅速かつ簡単にテストする方法を提供します。また、生産中の回路基板上の cPLD、FPGA、フラッシュメモリなどの IC のプログラミングにも、製品製造後にソフトウェア/ファームウェアの更新が必要な場合にも広く使用されています。

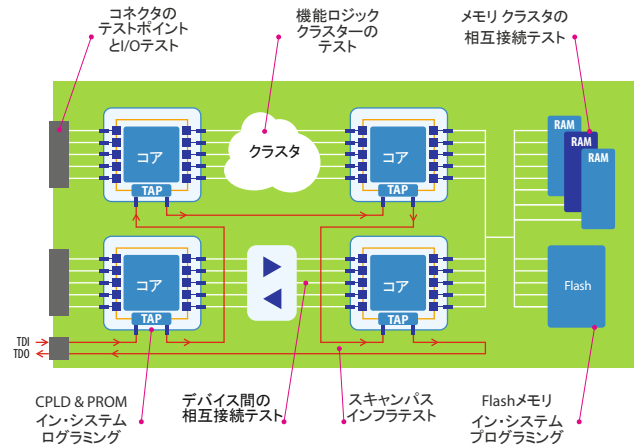


図 1: JTAG/バウンダリスキャンを備えた PCBA

JTAG/バウンダリスキャンとは?

接続テスト

構造テストとは?

図 2 に示すように、デバイス A の出力ピンがデバイス B の入力ピンに接続されている 2 つのデバイス間の接続を考えてみます。

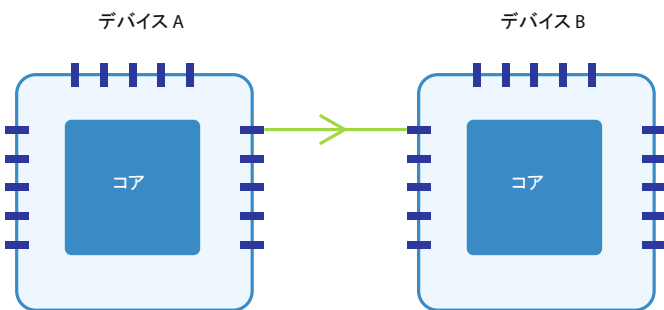


図 2: 2 つのデバイス間の接続

この接続を確認するには、デバイス A の出力ピンで値をドライブし、デバイス B の入力ピンでその値が表示されるかどうかを確認します。このテスト方法は、PCBA (プリント基板アセンブリ) のすべての接続に対して理想的に行われ、構造テストと呼ばれます。

構造テストの大きな利点は:

1. PCBA のどの接続がテストされ、どの接続がテストされていないかを正確に把握できます。したがって、ピン/ネットの何パーセントがテストされているかがわかります。このパーセンテージは、フォルトカバレッジと呼ばれます。もちろん、できるだけ高くしたい数値。
2. テスト後、どの接続が正しく、どの接続が失敗しているかがすぐにわかるため、すぐに障害を診断できます。
3. ボード上でどの接続が行われているか (ネットリスト) を知るだけでよいので、テストの準備は簡単です。デバイスの機能は、このテストには関係ありません。

プロトタイプデバッグ中、またはボードの修理中にも、この構造テストが一般的に使用されることに注意してください。

2 つのピンへのアクセスが可能であれば、従来はマルチメーターを使用して、接続を鳴らす (またはピーブ音を鳴らす) ことによって行われます。

バウンダリスキャン

基本的な考え方

図2を参照すると、バウンダリスキャンの背後にある基本的な考え方は、内部セルを使用すると、テストするピン接続への外部プロービング アクセスが必要ないということです。内蔵駆動セルを使用してデバイス A の出力ピンを駆動し、内蔵センスセルを使用してデバイス B の入力ピンで結果を読み取ることができる場合、目的のテストを実行できます (図3)。

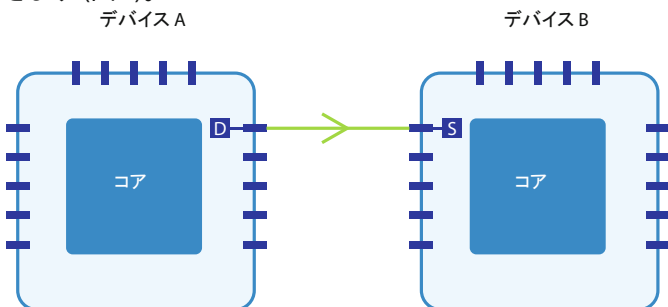


図3: ドライブおよびセンスセルをピンに追加してテストする

これらのドライブおよびセンスセルは、デバイスの機能(コア)から独立している必要があります。これは、ピンをセル(テストモード)に接続するか、コア(機能モード)に接続するかを選択するマルチプレクサを使用することによって実現されます。

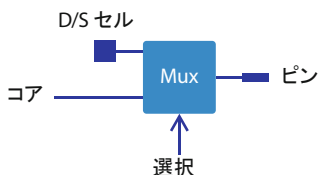


図4: マルチプレクサの構成; デバイスの機能とは無関係にセルを駆動および感知

セルは、フリップフロップなどの単純なロジック要素から構築できます。

すべてのデバイスピンにセルを追加し、これらのセルを直列に接続することで、チップの境界(ピン)に沿ってシフトレジスタが作成されます;これはバウンダリスキャンレジスタ(BSR)として知られています(図5)。

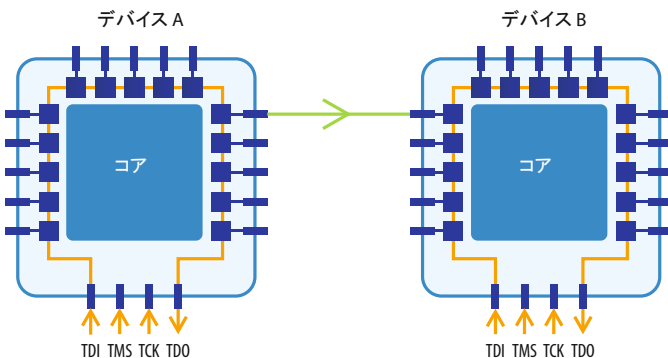


図5: チップの境界(ピン)に沿ったシフトレジスタ

TDI (Test Data In) と呼ばれる 1 つのシリアル データ入力ピンと、TDO (Test Data Out) と呼ばれる 1 つのシリアル データ出力ピンを使用して、バウンダリスキャンレジスタを介してチップのすべてのピンに到達できるようになりました。

TCK(テストクロック)と呼ばれるクロック信号は、バウンダリスキャンレジスタを介してデータをシフトするために使用され、TMS(テストモード選択)信号はデバイスピンのマルチプレクサを制御します。

信号TCK、TMS、TDIおよびTDOと一緒に、JTAGインターフェースまたはTAP(テストアクセスポート)と呼ばれるチップのテストインターフェースを形成する。PCBA上のデバイスのバウンダリスキャンレジスタは、あるデバイスのTDOを次のデバイスのTDIに接続することで直列に接続できます。TCKとTMSはすべてのデバイスに並列に接続されています。これにより、ボード上にバウンダリスキャンチェーンが作成され、チェーン全体で1つのTAPが使用されます。

完全な設計

インターフェイスの使用をバウンダリスキャンレジスタのみに制限しないようにするために、TAPを介して他のレジスタにもアクセスできるメカニズムが考案されました。バウンダリスキャンレジスタとこれらの他のすべてのレジスタは、データレジスタ(DR)と呼ばれます。

異なるデータレジスタから別のレジスタを選択するには、命令レジスタ(IR)が使用されます。また、チップのTDIおよびTDOピンを介してIRにアクセスします。

IRに命令をロードすることにより、特定のDRが選択されます。

いわゆるTAPコントローラが、IRへのアクセスか、IRの命令によって選択されたDRへのアクセスかを選択します。

TAPコントローラは、状態遷移がTMSによって制御されるステートマシンです。プロセスの概要は次のとおりです:

1. 命令がIRにロードされます。
2. データは、IRにロードされた命令によって選択されたDRにシフトインおよびシフトアウトされます。

JTAG/バウンダリスキャンシステムの完全な設計は、バウンダリスキャン規格(IEEE Std. 1149.1)で定義されており、ブロック図を図6に示します。

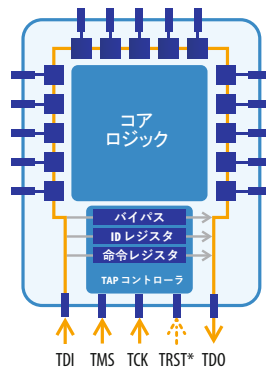


図6: チップ内のバウンダリスキャンロジック

Test Reset (TRST*) と呼ばれる 5 番目のオプション信号が TAP インターフェイスに追加されていることに注意してください。アクティブローの TRST* 信号を使用して、TAP コントローラをリセットできます。このリセットは TMS を 5 つの TCK 期間ハイに保持することによっても達成できるため、TRST* 信号はオプションです。

また、図6には、IEEE 1149.1 規格でも定義されている他の2つのデータレジスタが示されています:これらは、バイパスレジスタとデバイス IDentification レジスタ、または ID コードレジスタです。

バイパスレジスタを使用すると、チェーン全体の長さを短縮し、特定のテストまたはアクションに関連するICおよびレジスタのみへのアクセスを高速化できます。デバイスのIDレジスタを読み取って、デバイスタイプ、製造元、およびリビジョンレベルを確認できます。

図7は、シリアルスキャンチェーンで接続されたPCBA上の多数のデバイスの配置を示しています。

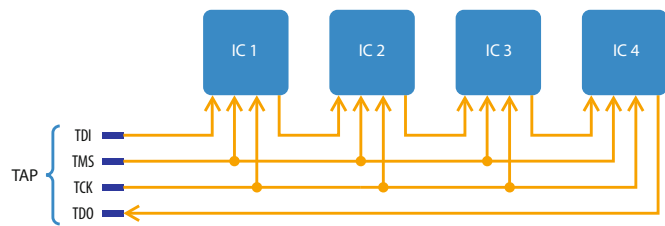


図7:PCBA上のバウンダリスキャンチェーン

BSDL ファイル

デバイスのバウンダリスキャンロジックは、IEEE 1149.1 標準の一部でもある BSDL ファイル (バウンダリスキャン記述言語) と呼ばれる単一のモデルファイルに記述されています。デバイスの種類ごとに、そのデバイスの製造元が BSDL ファイルを提供する必要があります。

このファイルの記述を使用して、ソフトウェアツールはデバイスのバウンダリスキャンロジックを解析し、PCBA 用のデバイスプログラミングなどのテストまたはその他のバウンダリスキャンアプリケーションを自動的に生成できます。

アプリケーション

PCBA のバウンダリスキャンロジックは、接続のテストに使用できます。

バウンダリスキャンデバイス間の直接接続だけでなく、直列抵抗やバッファなどのトランスペアレントデバイスを介した接続や、ロジックゲートを介した接続も可能です。プルアップ抵抗とプルダウン抵抗の存在、およびメモリデバイスとマイクロプロセッサ周辺機器への接続もテストできます。

しかし、JTAG/バウンダリスキャンで可能なのはテストだけではありません。また、cPLD や FPGA などのデバイスやフラッシュメモリのプログラミングは、JTAG インターフェイスを介して行われます。ソフトウェアデバッグは、JTAG インターフェイスを使用する別のアプリケーションです。

今日のほとんどのマイクロコントローラと DSP では、ソフトウェアデバッグ用のデバッグロジックにアクセスし、TAP を介して制御します。

追加基準

1990 年に最初に批准された IEEE Std.1149.1 は、TAP を定義し、デバイスのデジタル I/O ピンを対象としています。この最初の標準の後、他のタイプの I/O ピンのロジックを定義する追加の標準が開発されました。IEEE 規格 1149.4 は、アナログデバイスピンのロジックを定義します。IEEE 規格 1149.6 は、コンデンサ結合高速 I/O ピンのロジックを定義します。これら3つの規格は、それぞれ Dot 1、Dot 4、および Dot 6 と簡単に呼ばれることもあります。Dot 1 で定義されている TAP は、Dot 4 および Dot 6 で定義されているロジックにアクセスするためのインターフェイスとしても使用されます。Dot 1 の TAP インターフェイスを介してアクセスできるロジックを定義するその他の規格も定義されています。たとえば、cPLD および FPGA のプログラミング用の 1532 や組み込み機器へのアクセス用の 1687 などです。

マイクロコントローラおよび DSP の JTAG インターフェイス
多くのマイクロプロセッサと DSP にはソフトウェアデバッグ用の JTAG ポートが含まれていますが、実際にはバウンダリスキャンレジスタを備えていないものもあります。これらのデバイスを使用すると、マイクロプロセッサのデバッグロジックを使用して、「JTAG」テストや、フラッシュメモリプログラミングなどの他のアプリケーションを実行できます。次に、デバッグロジックを使用して組み込み周辺機器をセットアップおよび制御し、それらの要素を活用して外界との接続をテストします。通常、これらの周辺機器には、メモリコントローラ、ADC および DAC、PWM や PHY などの制御および通信インターフェイスが含まれます。

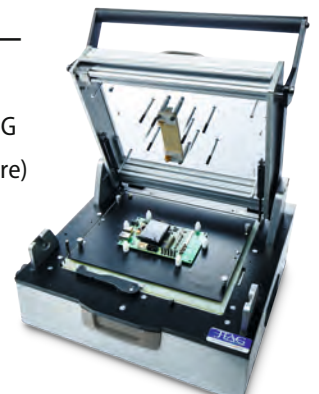
ハードウェアとソフトウェア

バウンダリスキャンロジックを制御し、チェーン内の TAP とレジスタを介してデータを駆動するには、ハードウェアとソフトウェアが必要です。特殊な高度なソフトウェアは、CAD データとデバイスモデルから JTAG/バウンダリスキャンアプリケーションを自動的に生成できます。



さまざまな機能とパフォーマンスを備えた幅広いハードウェアおよびソフトウェアツールが利用可能です。これにより、アプリケーション領域のニーズに最適なバウンダリスキャンソリューションを構成することができます。たとえば、試作品の立ち上げ中のハードウェアデバッグ用ツール、生産中のテストおよびデバイスプログラミング、サービス中の製品アップグレードのための修理およびデバイスの再プログラミング用のツールなどです。

ハードウェアツールとソフトウェアツールは、この「Tell me about」シリーズの他の2つの論文 (Tell me about JTAG hardware と Tell me about JTAG Software) の主題です。



JTAGテクノロジー

JTAG Technologies は 25 年以上にわたり、世界中の多くの企業の品質ニーズを解決してきました。

すべてのメーカーには独自のテスト課題がありますが、あなたの課題は何ですか?一緒に可能性を分析させていただきます。

テスト範囲とその結果としての製品の品質をみましょう。一緒に、リードタイム、コストを分析し、合理的な全体的なソリューションを考え出します。

どこにいてもサービスを提供するために、当社は世界規模のサービスとサポートを提供しています。50か国以上で、訓練を受けたアプリケーション エンジニアと既存の配信ネットワークにアクセスしてください。

バウンダリスキャンは、現在および将来の最新の電子アセンブリにおけるテストおよびプログラミングの課題を満たす優れたテクノロジーであると確信しています。製品ライフサイクル全体で使用される当社の強力で実績のあるソリューションは、製品の品質を強化し、投資を最適化し、市場投入までの時間を短縮し、結果としてコスト削減につながります。



エレクトロニクスの中心で25年以上



50か国以上のお客様



10,000+ システム販売



2,500以上の顧客



世界的なサポート

JTAG
TECHNOLOGIES

JTAG Live



グローバルな代表

当社のソリューションと製品についてもっと知りたいですか?

当社のグローバル オフィスまでお問い合わせください。

ヨーロッパとROW (本社)

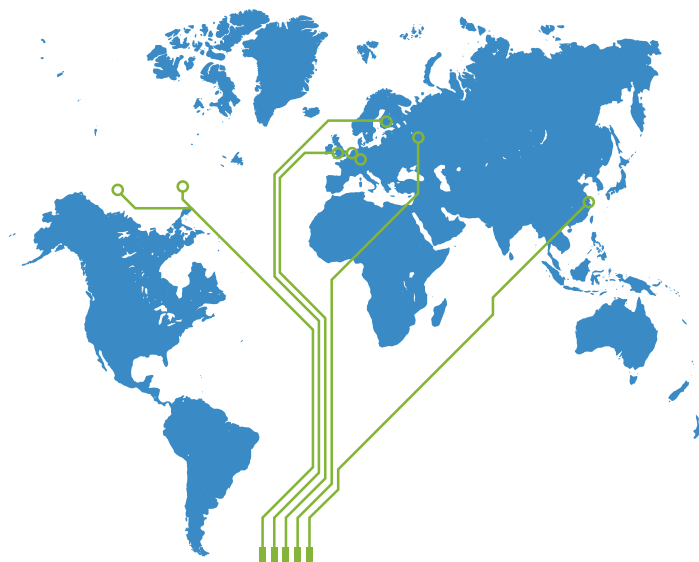
Boschdijk 50, 5612 AN Eindhoven
The Netherlands
T: +31 (0) 40 295 0870
E: info@jtag.com

ギリスとアイルランド

T: +44 (0) 1234 831212
E: sales@jtag.co.uk

アメリカとカナダ

T: +1 877 FOR JTAG (Eastern US)
T: +1 949 454 9040 (Western US)
E: info@jtag.com



ドイツ

T: +49 (0) 971 6991064
E: germany@jtag.com

フィンランド

T: +358 (0) 9 4730 2670
E: finland@jtag.com

ロシア連邦

T: +7 812 602 09 15
E: russia@jtag.com



私たちの企業ストーリーを体験してください

We **are** boundary-scan.®

[f @JTAGdotcom](#) [t @JTAGdotcom](#) [in JTAG-Technologies](#) [yt JTAGTUBE](#)

JTAG Technologies B.V. は、予告なしにいつでも設計または仕様を変更する権利を留保します。データは予告なく変更される場合があります。2021年2月印刷。記載されているすべてのブランド名または製品名は、それぞれの所有者の商標または登録商標です。
6111-WP JTAG/boundary-scan-E-001

www.jtag.com

www.jtaglive.com

お問い合わせ先

JTAG Technogeis社 日本総代理店



システムに挑戦する

アンドールシステムサポート株式会社

www.andor.jp

アンドールシステムサポート株式会社

プロダクトソリューション事業部

〒140-0004 東京都品川区南品川 2-15-8

Tel: 03 (3450) 7201 Fax: 03 (3450) 8109

E_mail: jtag@andor.jp